



SR研

July 28, 2011

【技術展示】

簡易型広帯域MIMO-OTAシステム 信号処理部のFPGA実装

唐沢好男 パシシング・サハルル グナワン・ヤンネス 中田克弘

電気通信大学

先端ワイヤレスコミュニケーション研究センター(AWCC)

発表内容

1. MIMO OTAとは
2. フェージングエミュレータ型
パス制御型 (FE-1) とアンテナ制御型 (FE-2)
3. FE-2 型広帯域測定系の構成 (提案方式)
4. 信号処理部のFPGA実装と実現機能
5. まとめ

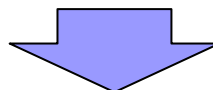
MIMOの研究動向

- 情報伝送方式
 - システム応用
 - 装置開発(基地局、端末)
- かなり、
研究開発が
進んできた
- **MIMO端末特性評価環境構築と測定法**

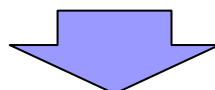
ニーズが高まってきている
まだ、研究が薄い
標準測定法の必要性



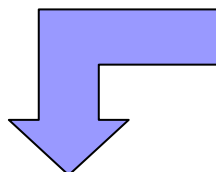
MIMO端末を実際に近い電波環境で評価したい



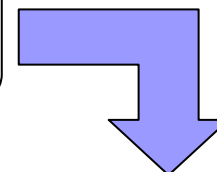
測定環境が必要



MIMO-OTAシステムの構築



Fading Emulator 方式

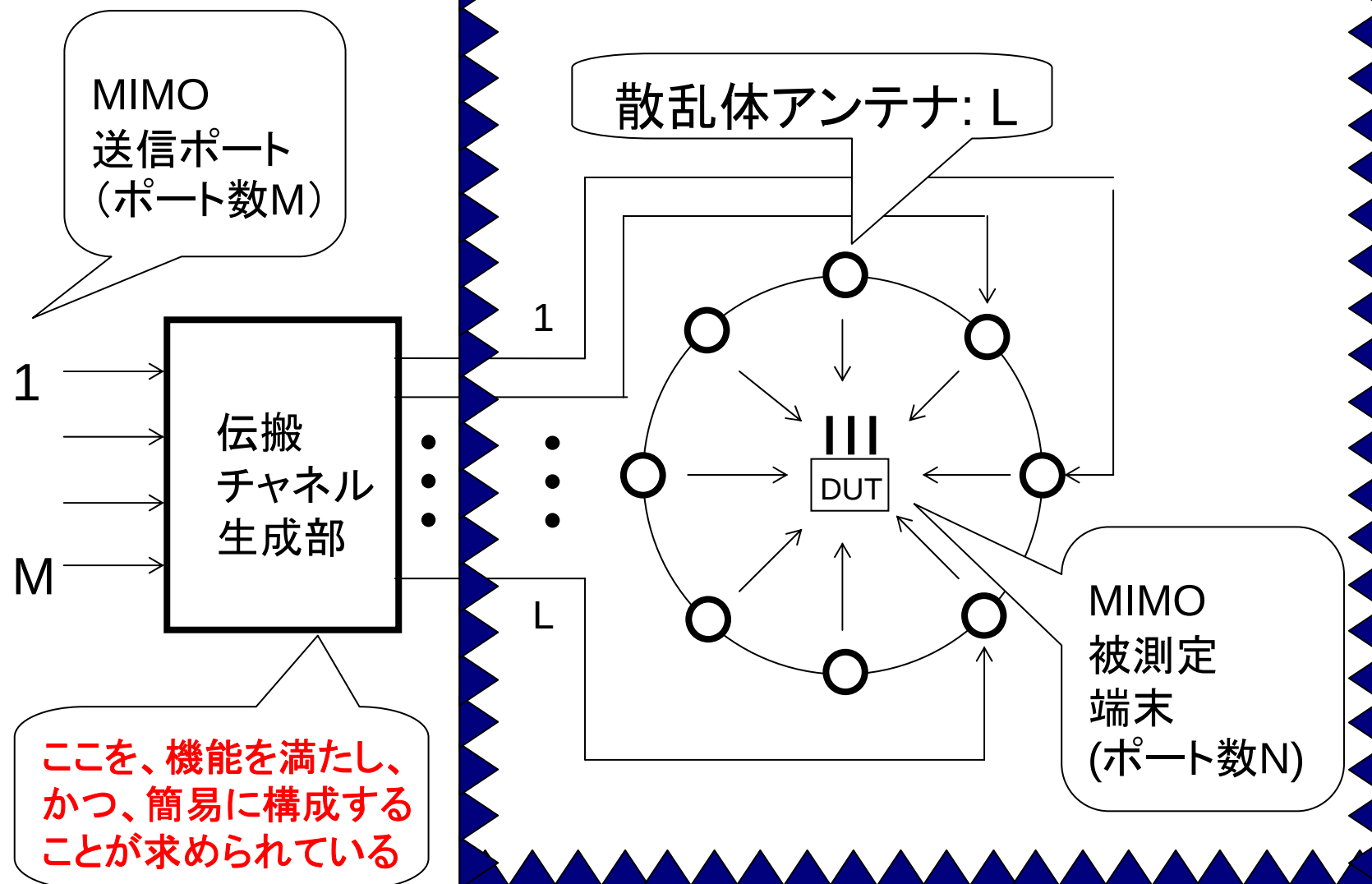


電波反射箱方式
Reverberation Chamber Type

今回の展示内容はこちら

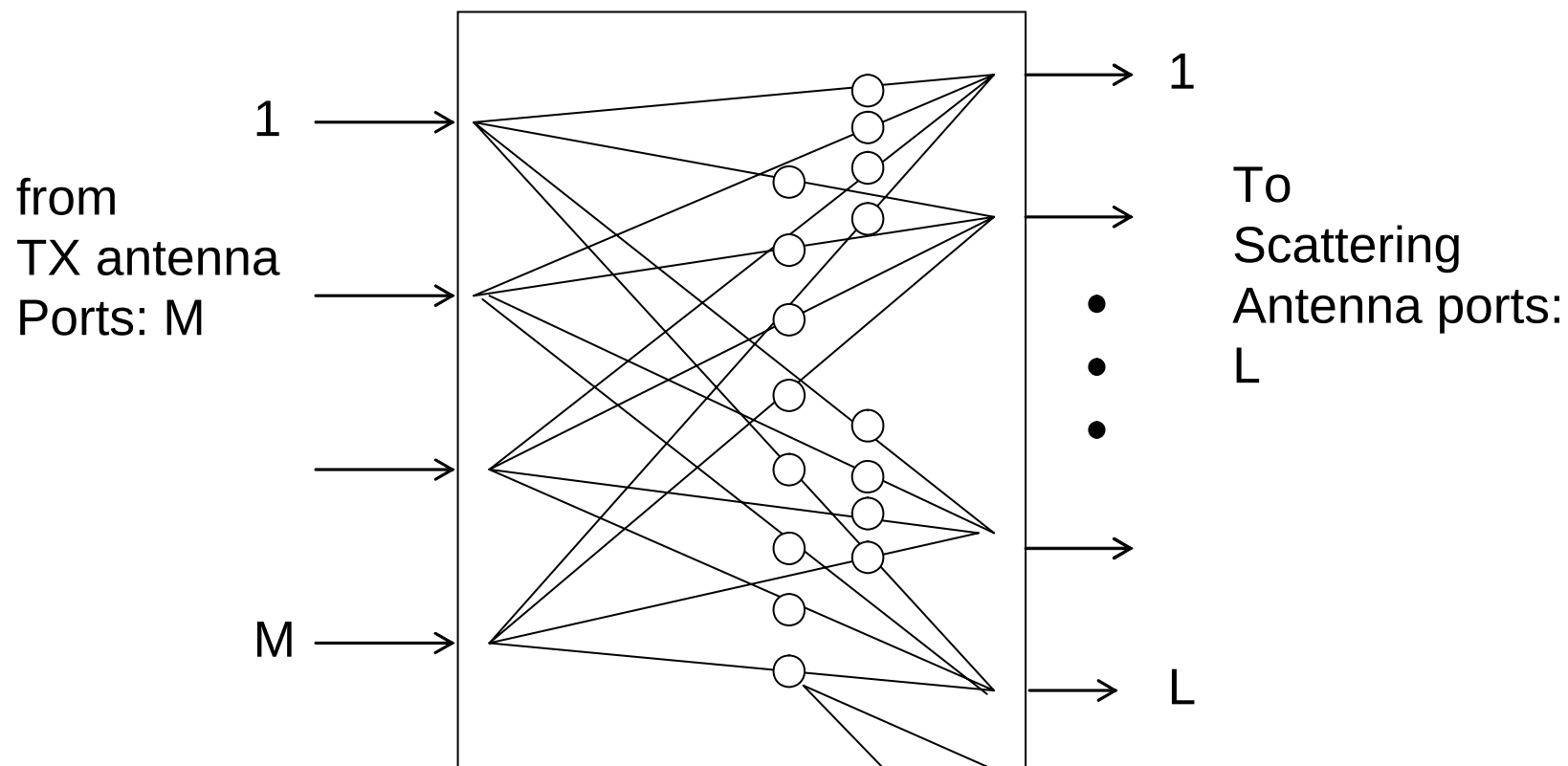
OTA: Over-the Air

フェージングエミュレータ(FE)タイプOTA: 全体構成

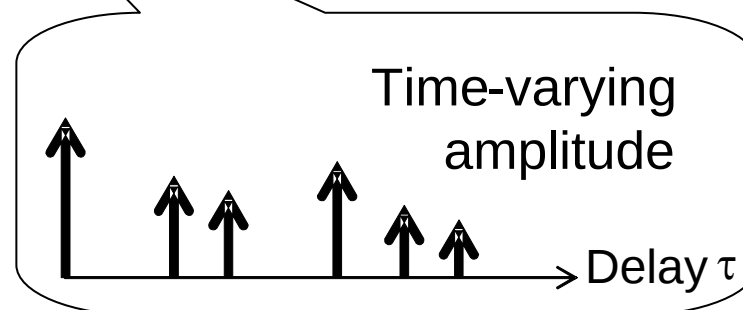




FE-1型(パス制御型)

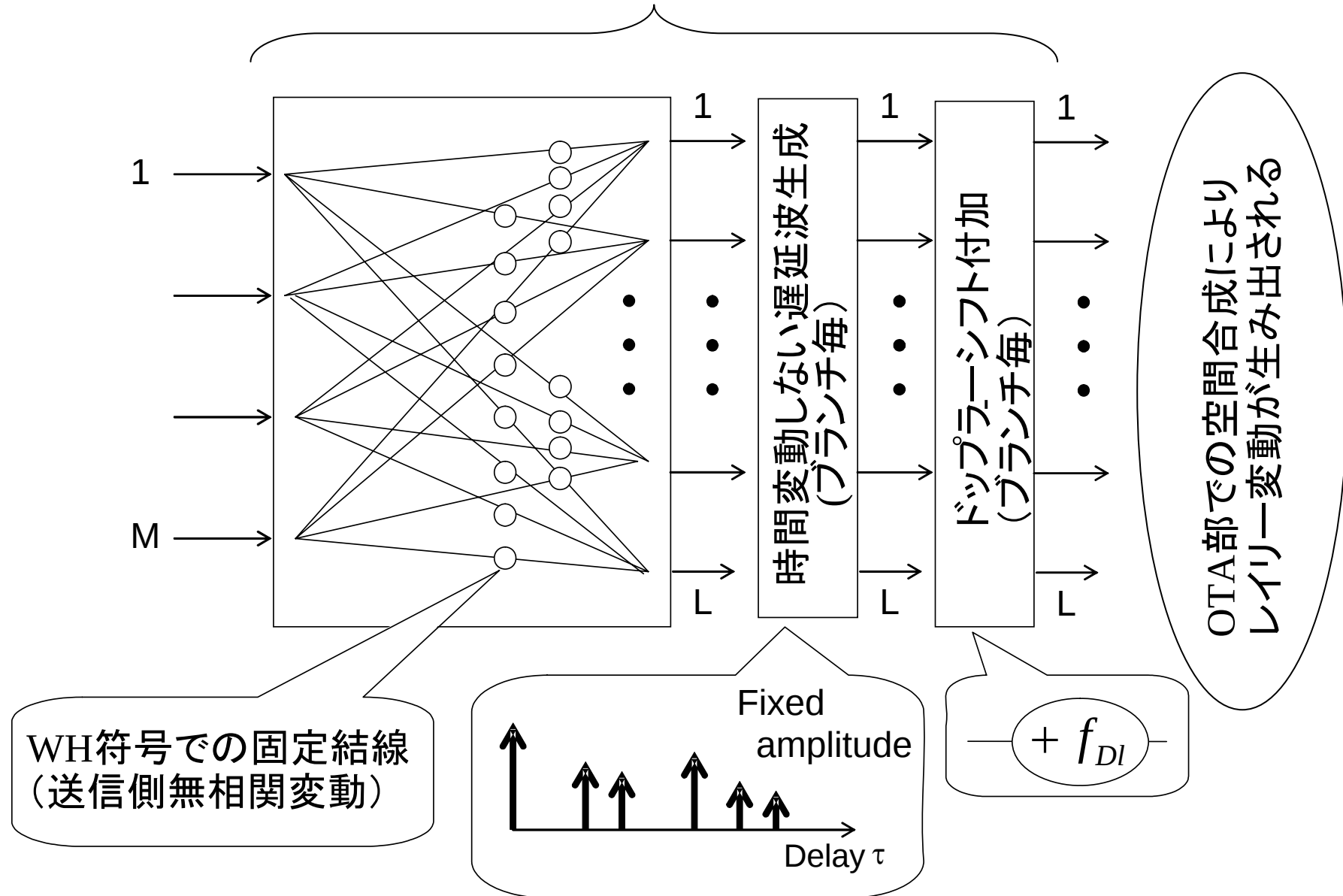


この部分に、フェージング
シミュレータを用いれば、
高機能、高性能なものが
実現できるが
高価格なものになる



FE-2型(アンテナブランチ制御型:提案方式)

特徴: 機能分担し、夫々に時間変動制御をどこにも含まない



フェージングエミュレータ方式の実験系構築と 初期実験(狭帯域システム) (AP研2011年1月:小佐古他)

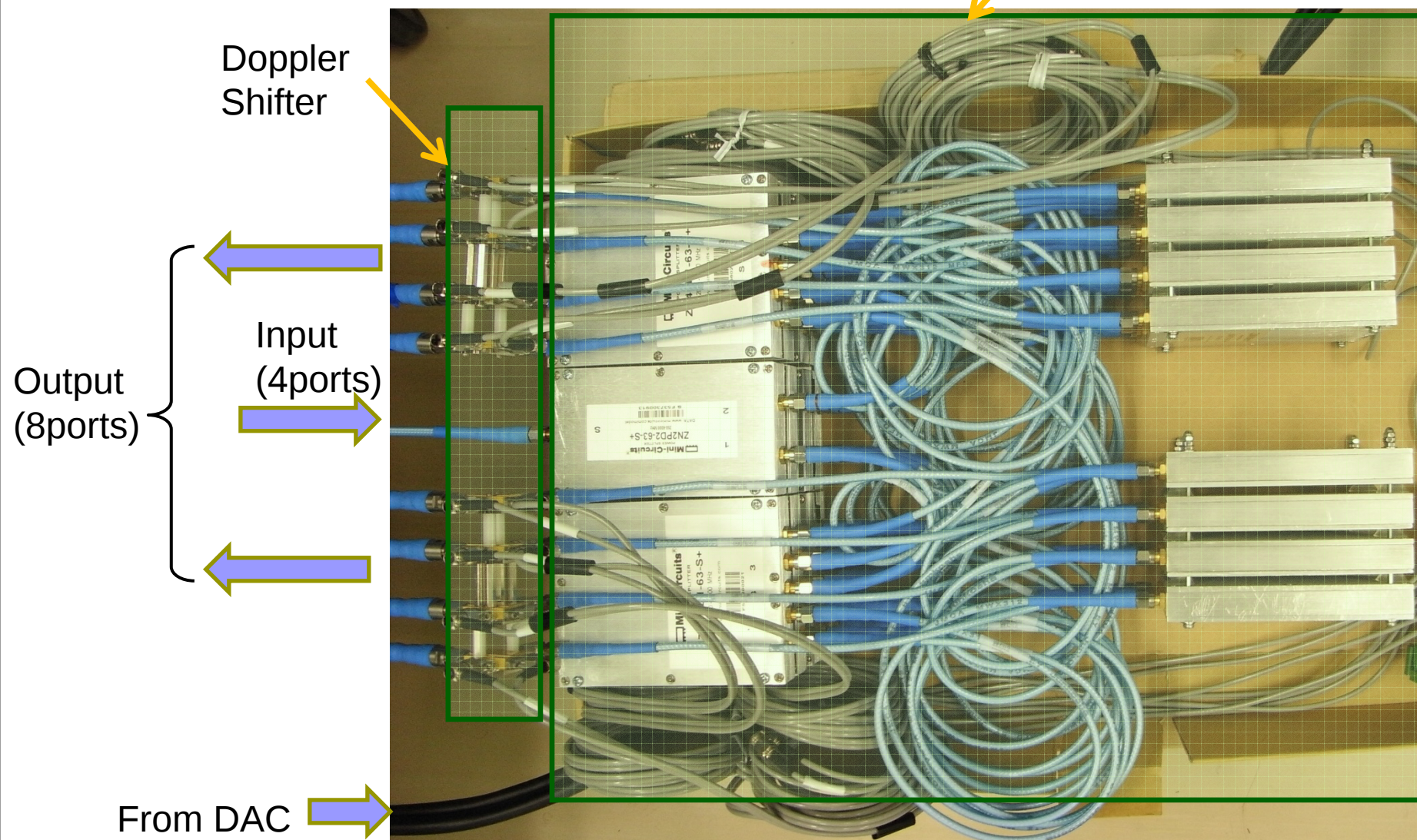
チャネル特性測定の概要

- 使用周波数: 5GHz (CW)
- MIMO構成: 2×2 MIMO
- 散乱体アンテナ本数(L): 8本
- 想定端末移動速度: 20m/s (72km/h)
- 受信アンテナ間隔: 0.5λ (3cm)
- OTAアンテナで形成される円の半径: 1m
- 散乱体アンテナ高: 約1.1m
- 使用アンテナ: 半波長ダイポール
- 偏波: 垂直偏波

遅延なし
5GHz帯、全ハードウェア構成
 $2 \times 8 \times 2$ (M=2, L=8, N=2)

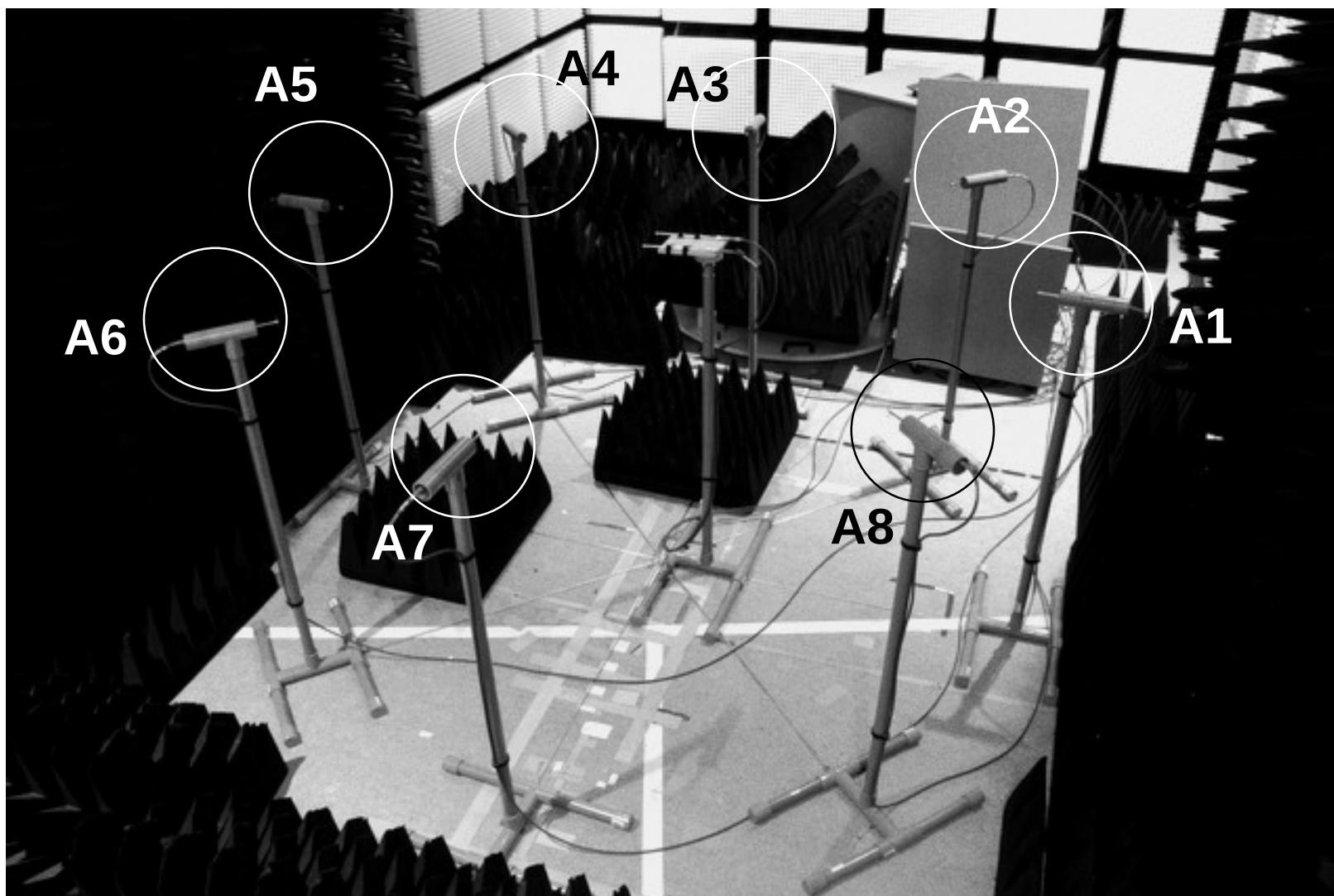
試作システムの外観

Connection Matrix





電波暗室内でのアンテナ配置

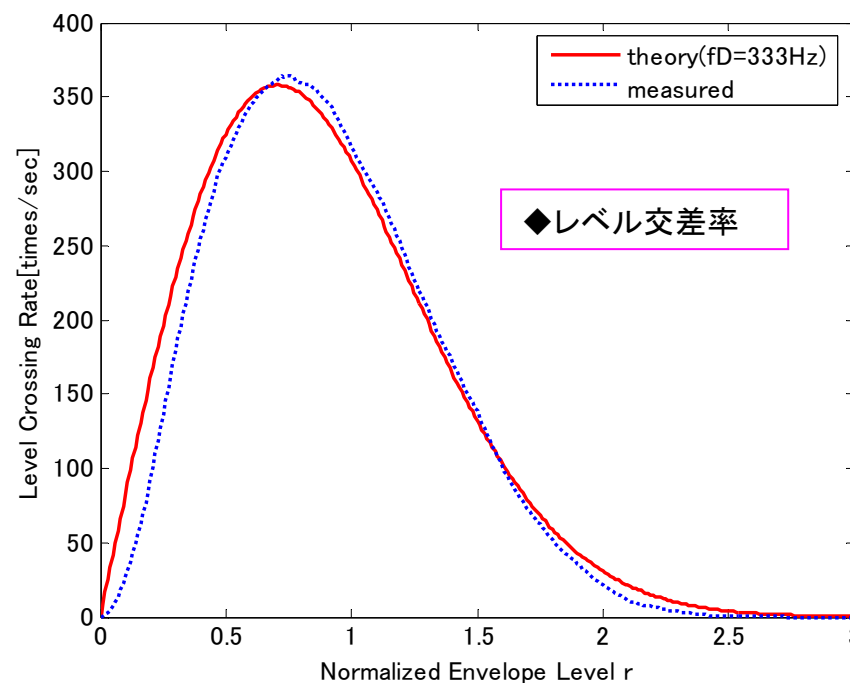
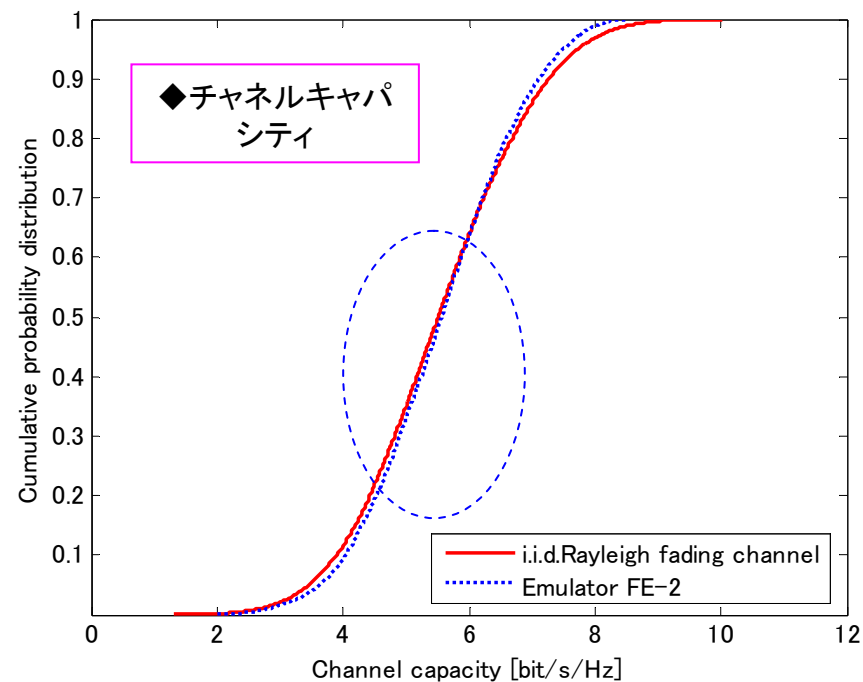
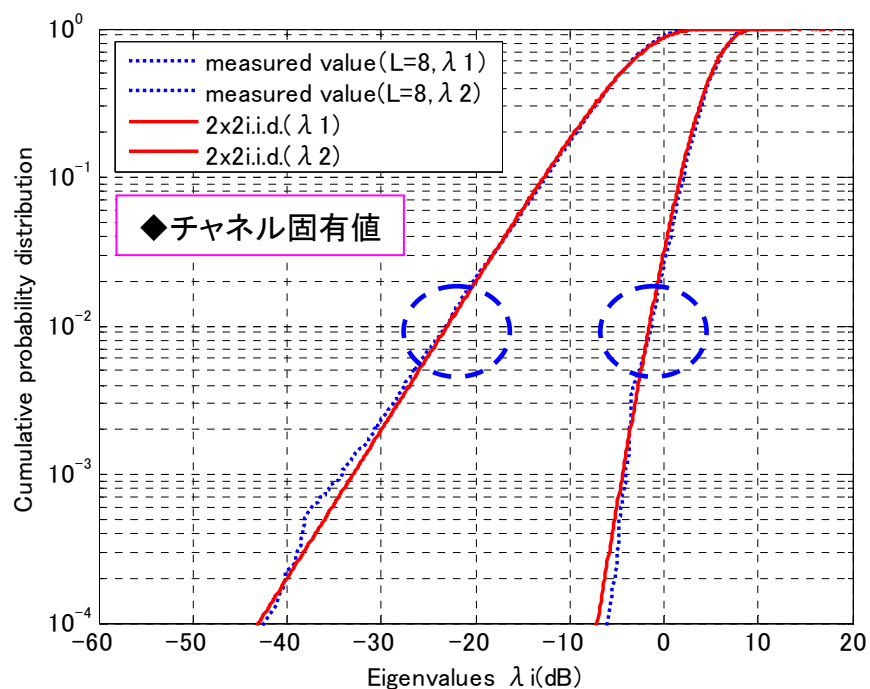


実測結果

(受信アンテナ間隔: 0.5λ)

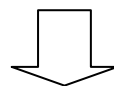
伝搬チャネルの統計的性質は
チャネルキャパシティ・レベル交差率
それぞれにおいても一致

⇒ $L=8$ で 2×2 MIMO 評価環境を実現

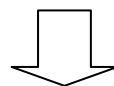


FE-2型の特徴

- 適応信号処理を含まず、簡易な構成で実現できる
- 広帯域環境(周波数選択性フェージング環境)生成がこのままでは困難

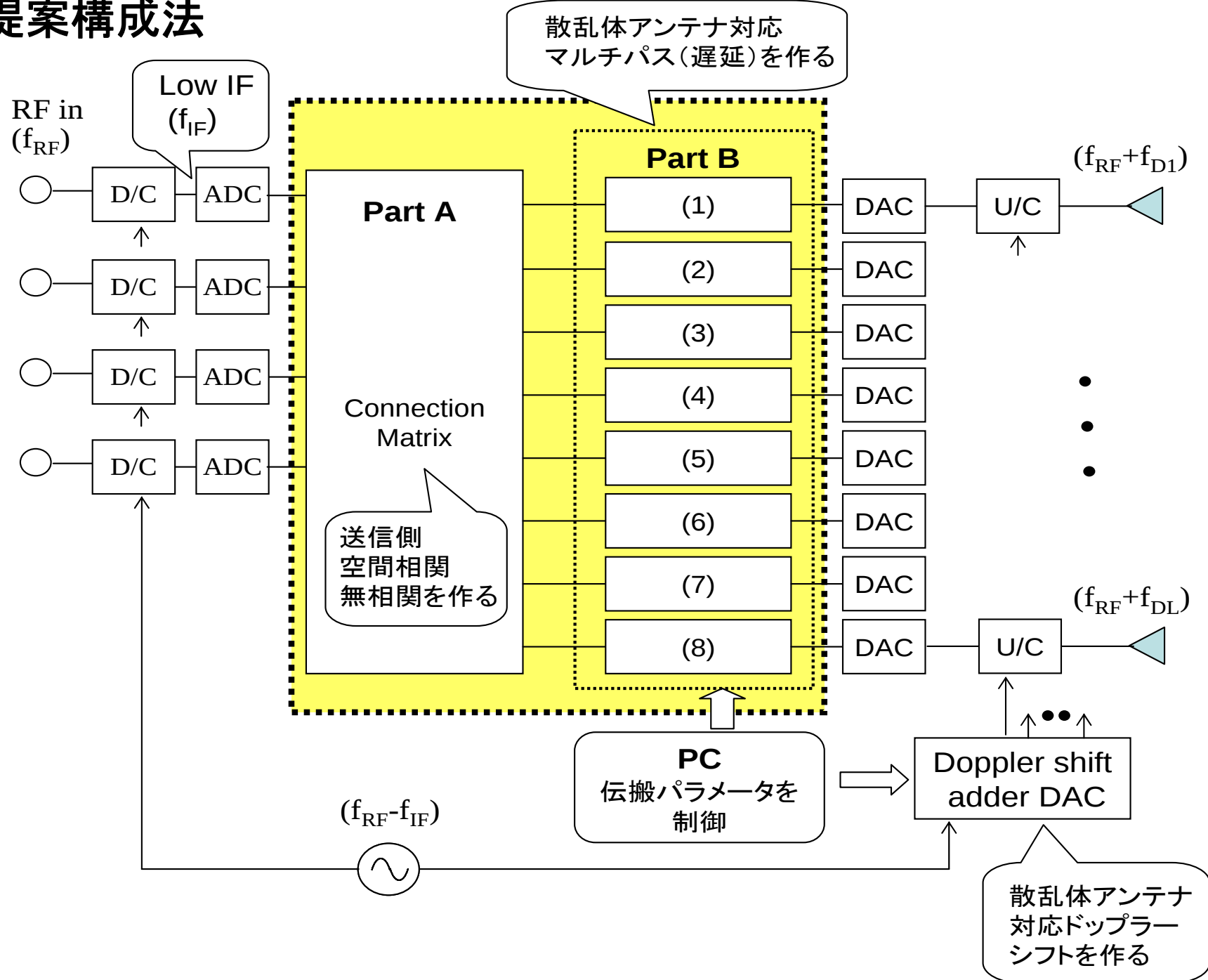


適応信号処理を一切含まない、マルチパス遅延環境の生成は可能か？



FPGAによる遅延波生成・空間合成によるレイリー変動生成・直交符号による変動の独立性を機能分担によって実現する方式を提案

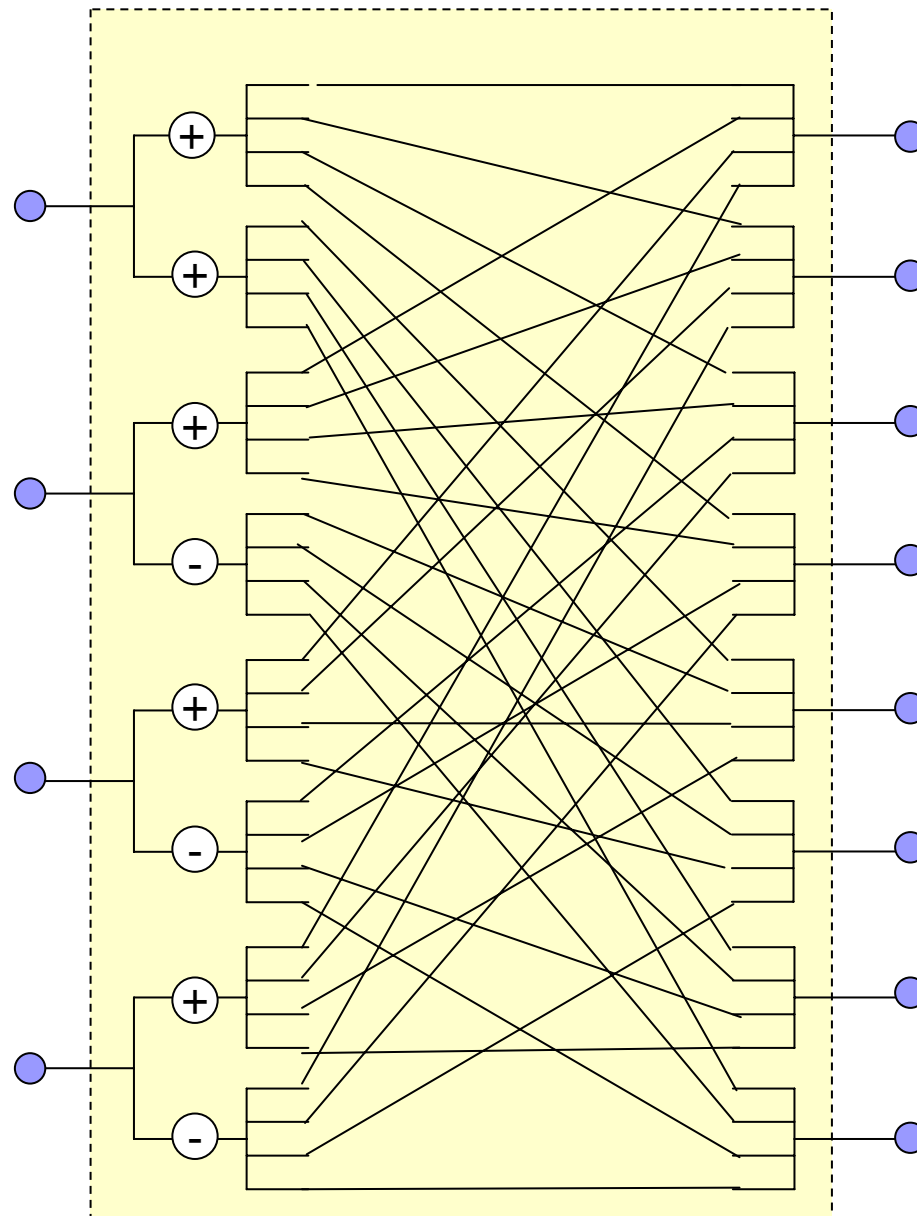
提案構成法



Part A Connection Matrix

Hadamard code

$$\begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & 1 & -1 \\ 1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & -1 & -1 \end{pmatrix}$$



Part B (I)

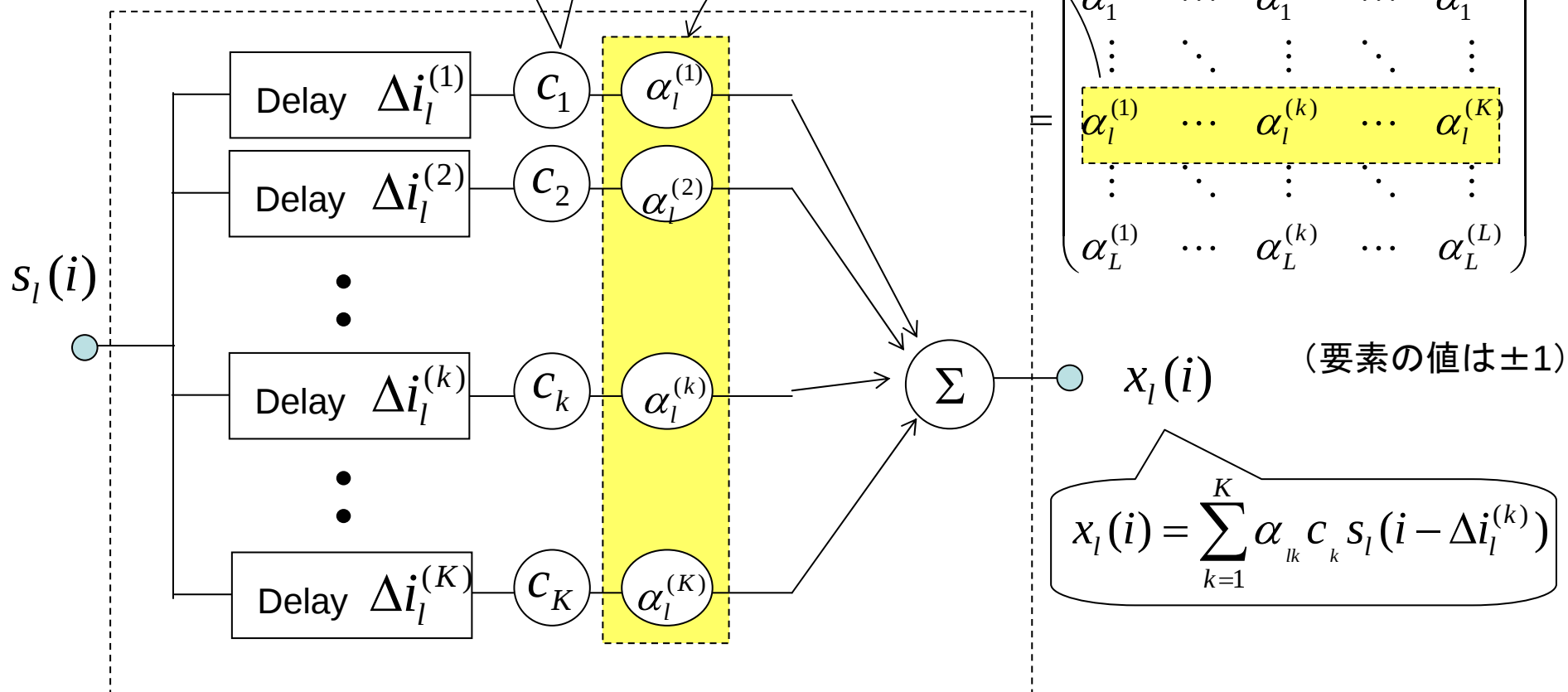
Multipath Generation

I 番目のアンテナブランチ

c_k : 遅延波 k の振幅 (実数)
各ブランチで共通

ウェイト行列

$$W = \begin{pmatrix} \alpha_1 & \cdots & \alpha_k & \cdots & \alpha_K \\ \alpha_1^{(1)} & \cdots & \alpha_1^{(k)} & \cdots & \alpha_1^{(K)} \\ \vdots & \ddots & \vdots & \ddots & \vdots \\ \alpha_l^{(1)} & \cdots & \alpha_l^{(k)} & \cdots & \alpha_l^{(K)} \\ \vdots & \ddots & \vdots & \ddots & \vdots \\ \alpha_L^{(1)} & \cdots & \alpha_L^{(k)} & \cdots & \alpha_L^{(L)} \end{pmatrix}$$



$$x_l(i) = \sum_{k=1}^K \alpha_{lk} c_k s_l(i - \Delta i_l^{(k)})$$

散乱体
アンテナ1

$$f_{RF} + f_{D1}$$

2

⋮

⋮

L

$$f_{RF} + f_{DL}$$

+

$$w_{m1} \alpha_1^{(k)} c_k e^{j2\pi(f_{RF} + f_{D1})t}$$

$$w_{mL} \alpha_L^{(k)} c_k e^{j2\pi(f_{RF} + f_{DL})t}$$

ドップラシフト
以外の時間的
変化成分を
持たない

送信アンテナ **m** からの信号の
受信アンテナ **n** での
遅延波 **k** の空間合成

$$a_{nm}^{(1)}$$

$$a_{nm}^{(k)}$$

$$a_{nm}^{(K)}$$

各遅延波はすべての
m, n に対して独立な
レイリー変動をするの
が**理想**

FPGAに実装した マルチパス生成機能と性能

FPGA: Xilinx Virtex-6 LX240T

ボード: FPGA評価ボード ML623

ポート数と散乱体アンテナ数 : $M=4$, $L=8$

ADC(4ch) FMC104 (14bit, 250MHz)

DAC(4chx2) FMC204(16bit, 1GHz)

遅延波制御

波数: 最大10、振幅はブランチで共通

遅延量: 最大50 μ s 遅延量はブランチで共通

最小設定遅延幅: 10ns

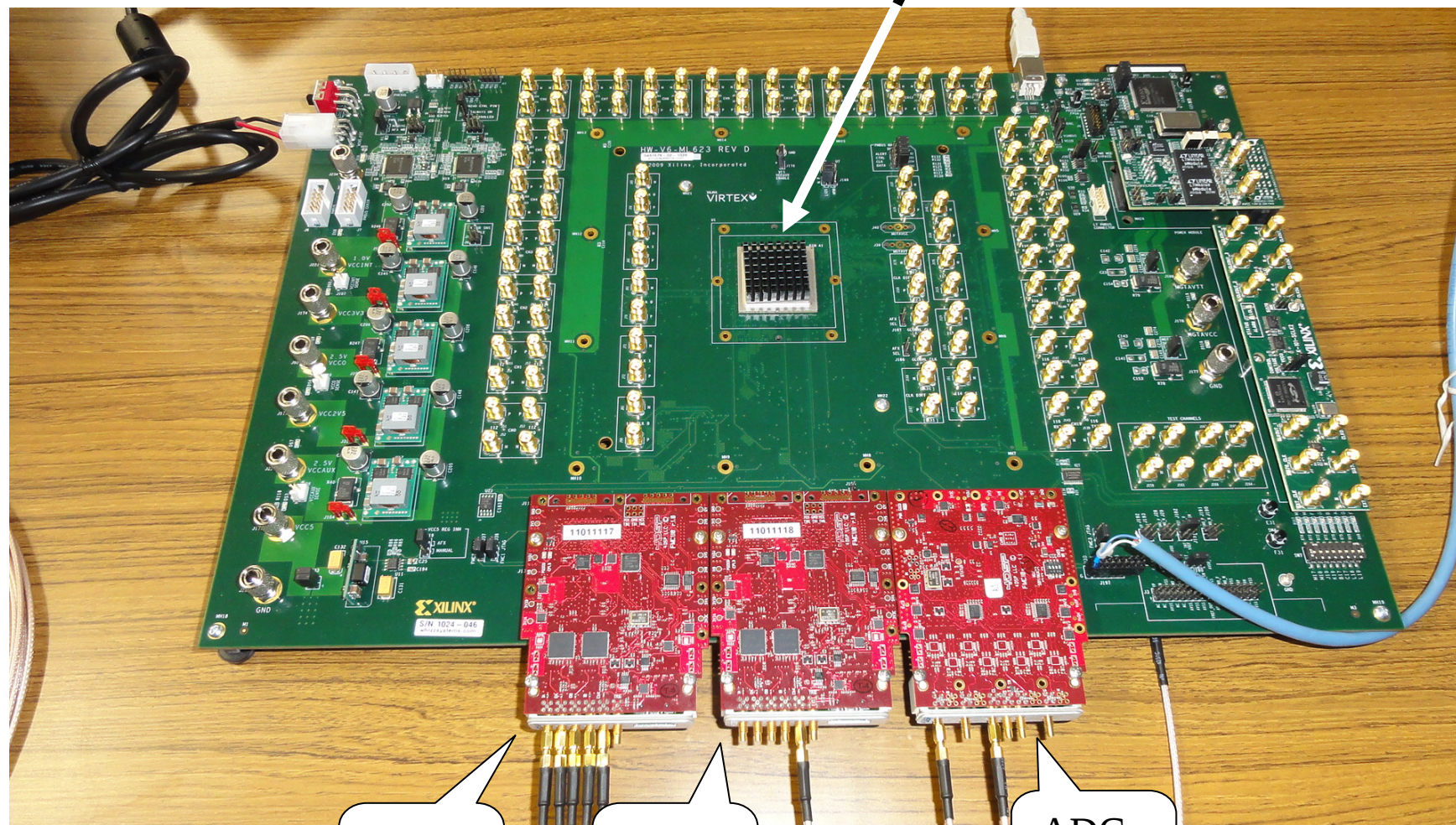
最大入出力サンプリングレート: 180MHz

上記の性能から、

IF=40MHz, BW=40MHz程度の信号伝送が可能

信号処理部のFPGA実装：実物

FPGA: LX240T

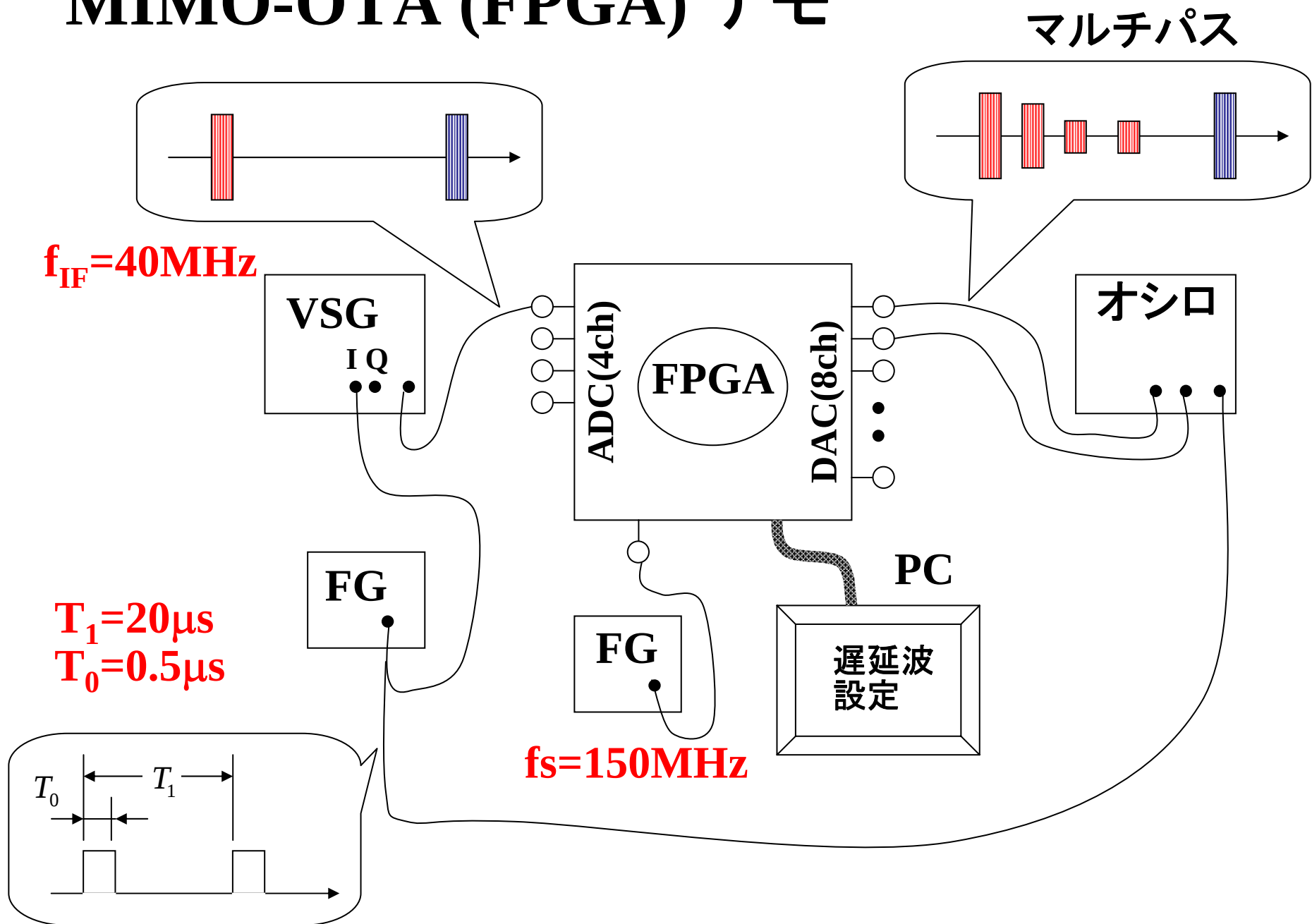


DAC
ch 1-4

DAC
ch 5-8

ADC
ch 1-4

MIMO-OTA (FPGA) デモ



まとめ

提案方式 (FE-2: アンテナ制御型) は、

- 1) 高機能構成 (FE-1: パス制御型) と同等機能が実現できる
(遅延波10波、最大遅延50 μ sec)
- 2) IF信号をIF信号のまま、AD変換速度 ($f_s > 150\text{MHz}$) で
パイプライン処理し、適応信号処理を含まない
- 3) 機能は、FPGAによるデジタル信号処理部 (マルチパスは生成) と
ドップラーシフトを与える高周波部よりなり、この二つで機能を
分担する
- 4) 高機能・高性能なものが、簡易な構成で安価に実現できる

是非、技術展示コーナーにお越しください

