



RCS研究会 (H27.06.25)

双方向MIMO フェージングエミュレータの 構成提案とFPGAによる回路実装

小谷 里佳子 唐沢 好男

電気通信大学

先端ワイヤレス・コミュニケーション研究センター

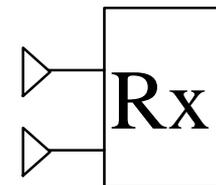
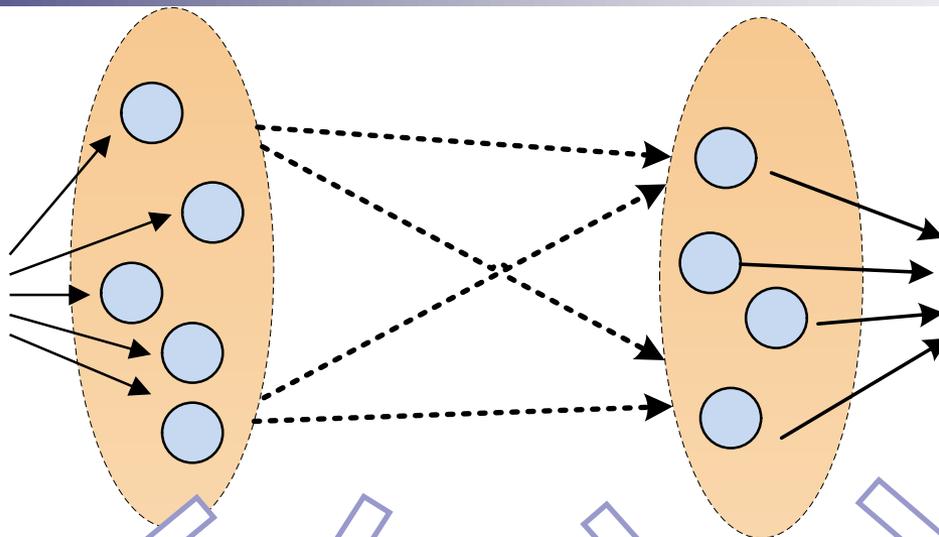
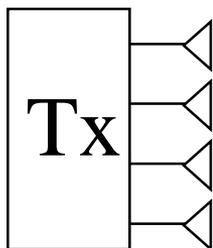


発表の内容

- MIMO端末性能評価環境(MIMO-OTA)
- 簡易型MIMOフェージングエミュレータ
- 双方向MIMOフェージングエミュレータ
 - 基本機能
 - 回路構成
- FPGAへの回路実装
- まとめ



実環境



具備すべき機能

空間相関

送信側のパスの
角度広がり

周波数相関

遅延の広がり

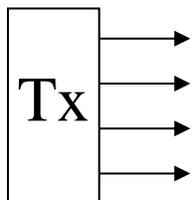
自己相関

ドップラー広がり

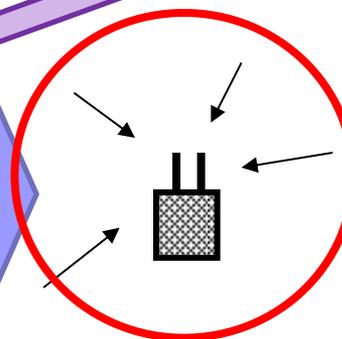
空間相関

到来角度分布

電波環境生成

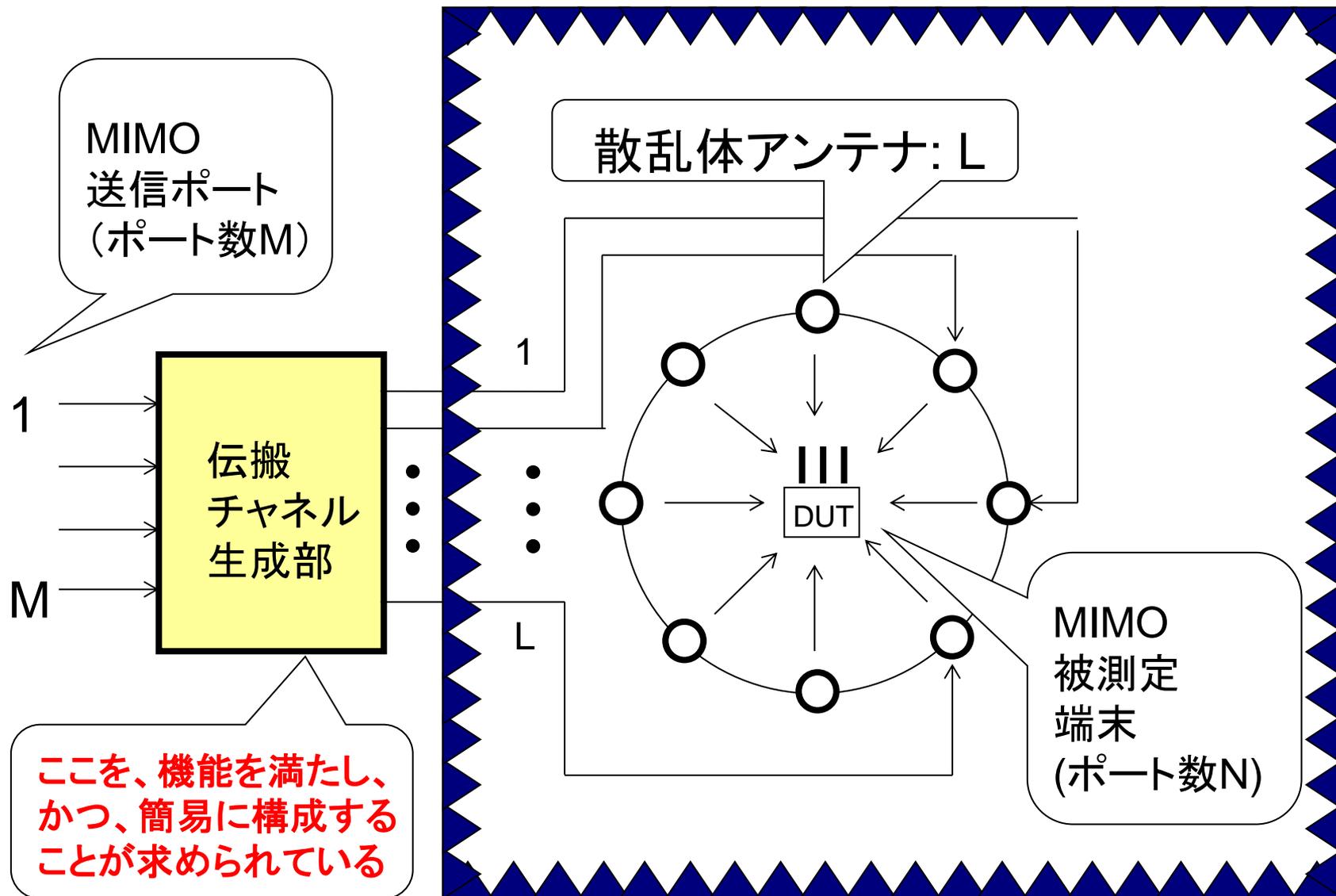


信号処理
(フェージング
エミュレータ)



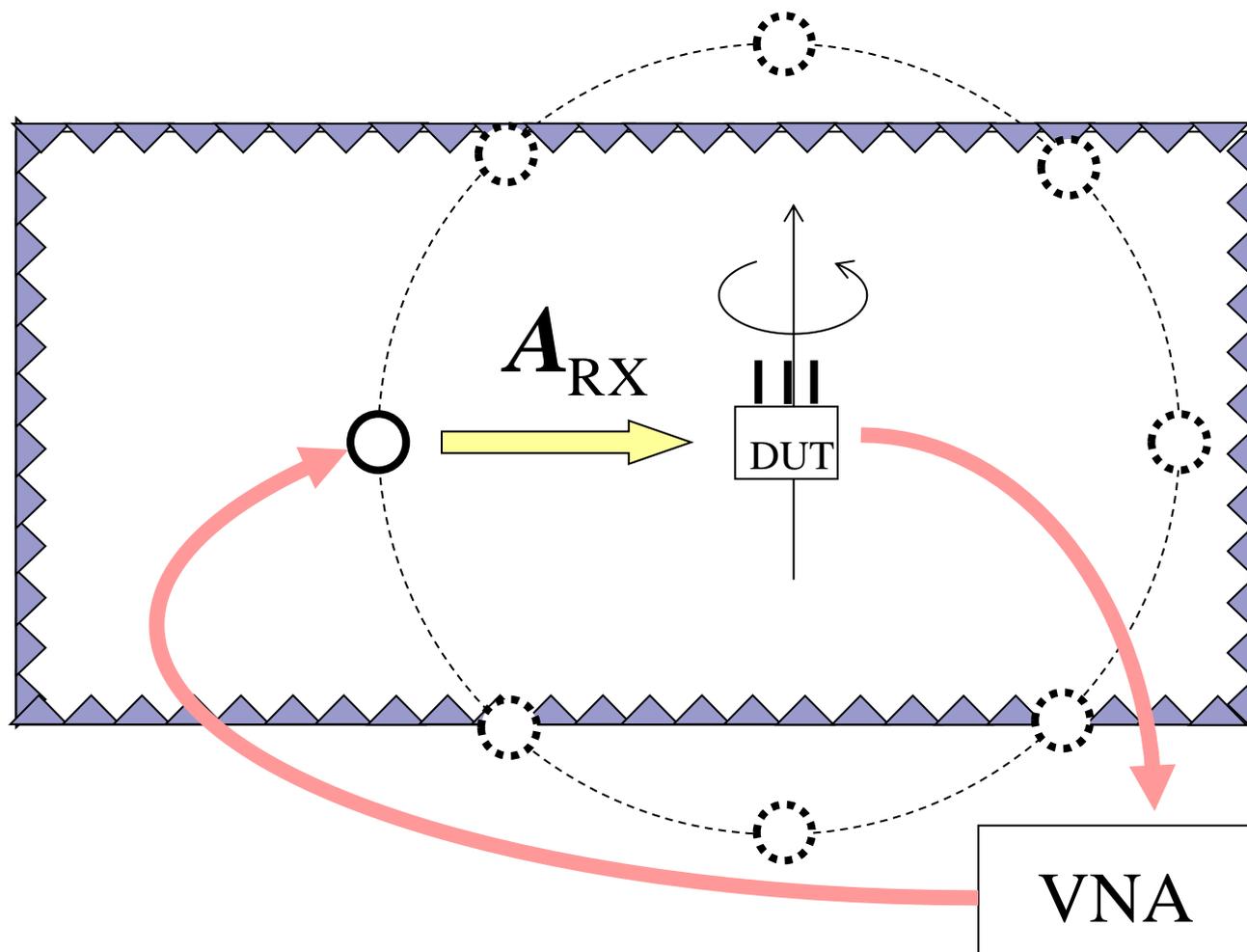
端末性能
評価

フェージングエミュレータ(FE)タイプOTA: 全体構成



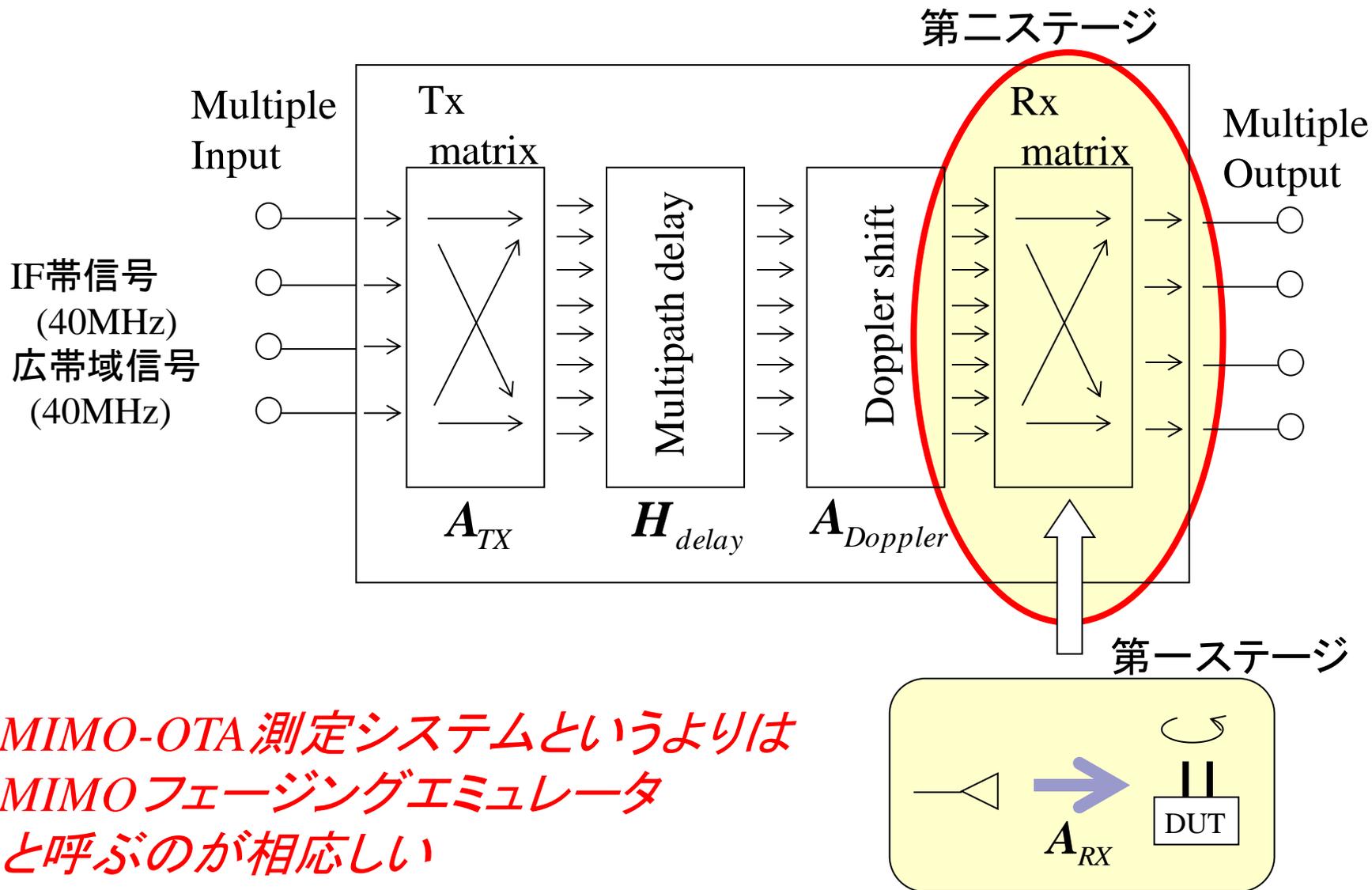
MIMO-OTA測定法: 2ステージ法

第1ステージでの測定





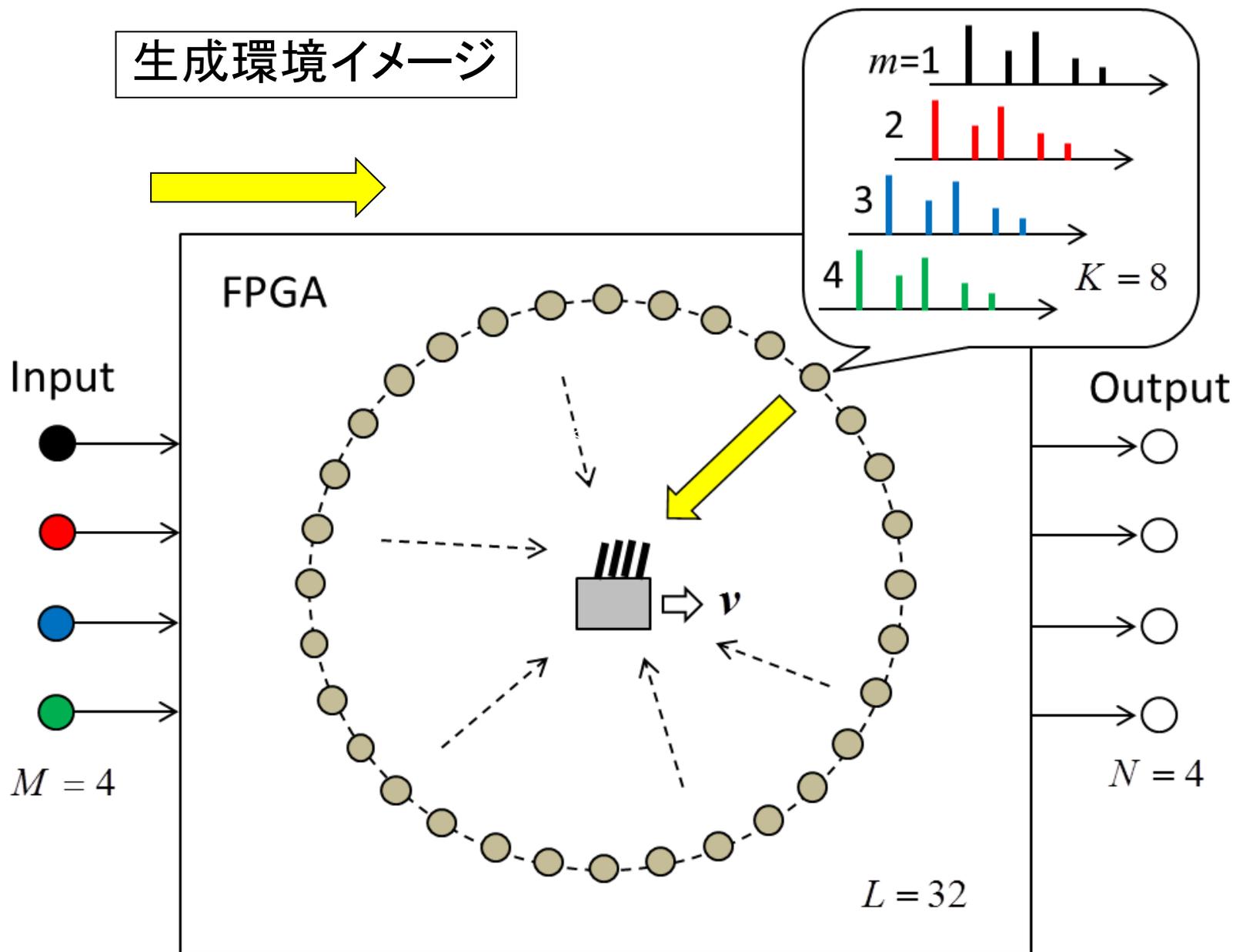
2ステージ法を取り入れた提案構成 (FE-2型簡易構成)



MIMO-OTA測定システムというよりは
MIMOフェージングエミュレータ
と呼ぶのが相応しい

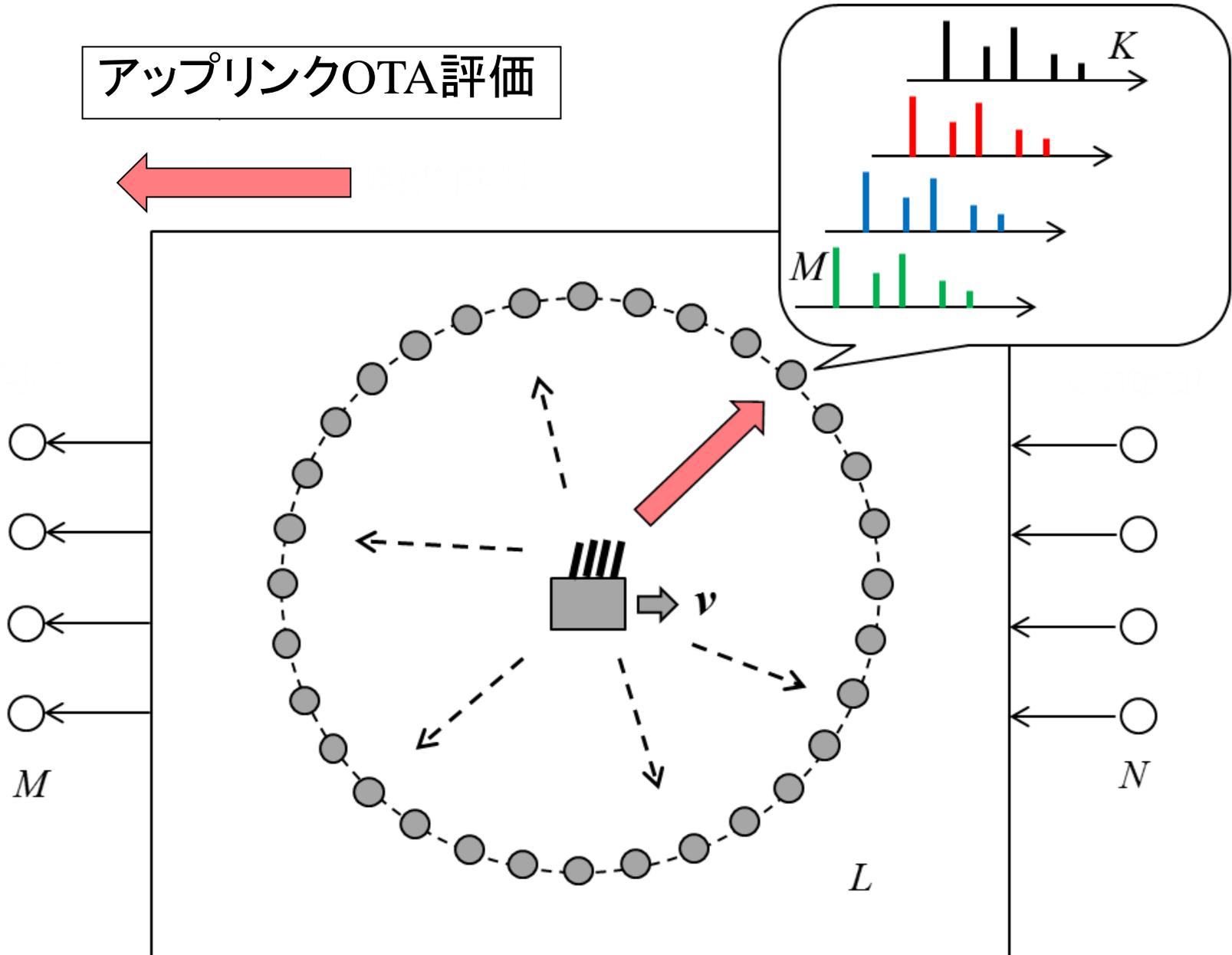


生成環境イメージ

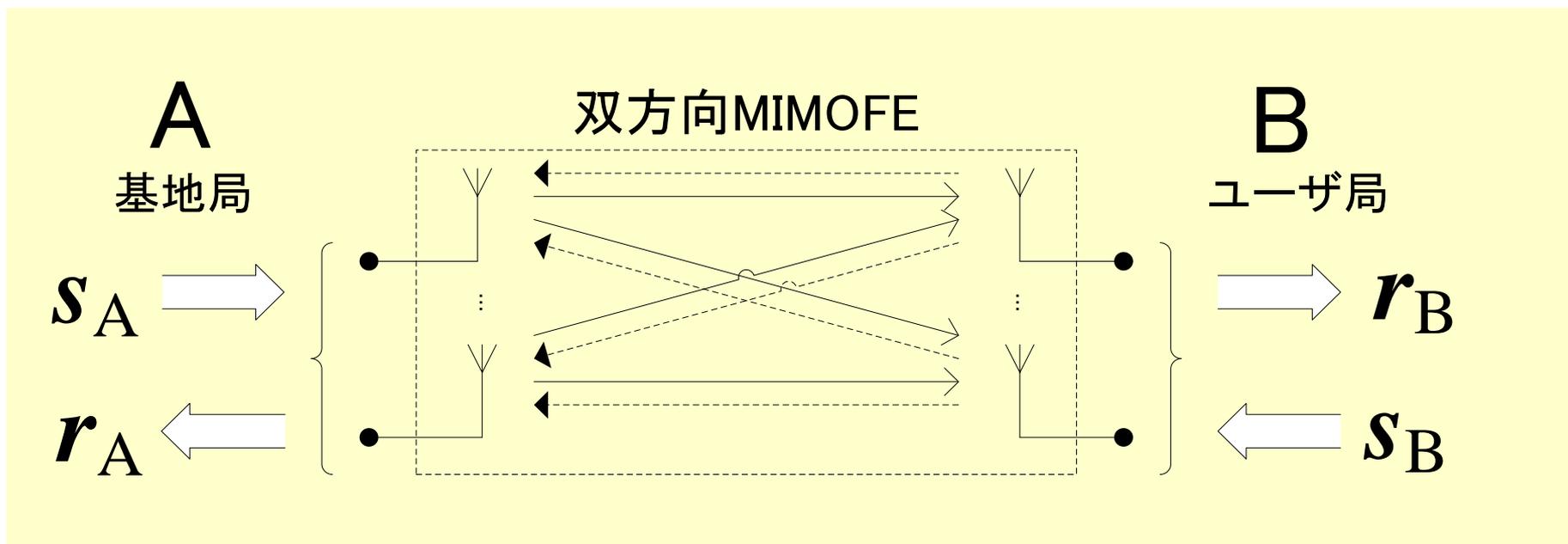




アップリンクOTA評価



双方向MIMO FE



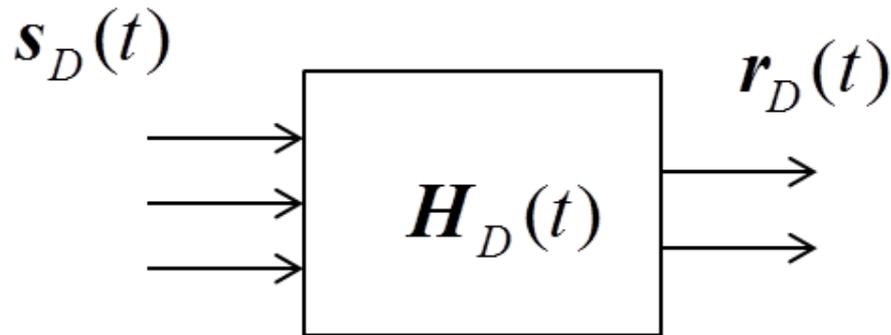
τ : 遅延波到来時間 T_0 : 受送信遅延時間

$$\blacksquare \mathbf{r}_B = \mathbf{H}_{A \rightarrow B}(t, \tau) \otimes \mathbf{s}_A(t) + \mathbf{n}_B(t)$$

$$\blacksquare \mathbf{r}_A = \mathbf{H}_{A \rightarrow B}^T(t + T_0, \tau) \otimes \mathbf{s}_B(t) + \mathbf{n}_A(t)$$



送受信回線(アップリンクとダウンリンク)の可逆性は？

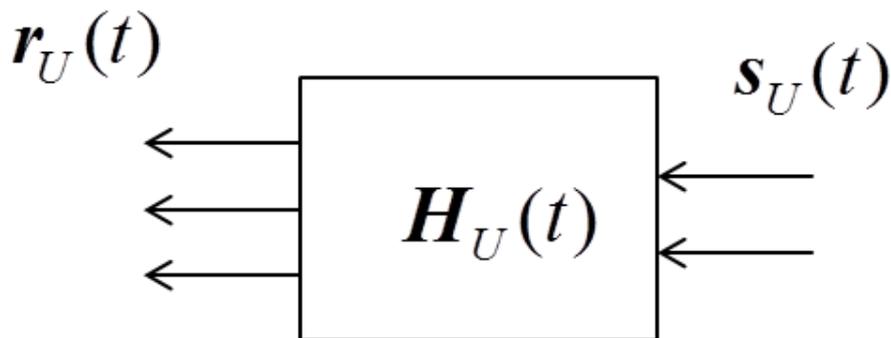


Down link (A→B)

if 成立
then

$$H_U(t) = H_D^T(t)$$

if 不成立
then



Up link (A←B)

$$H_U(t) \approx H_D^T(t)$$

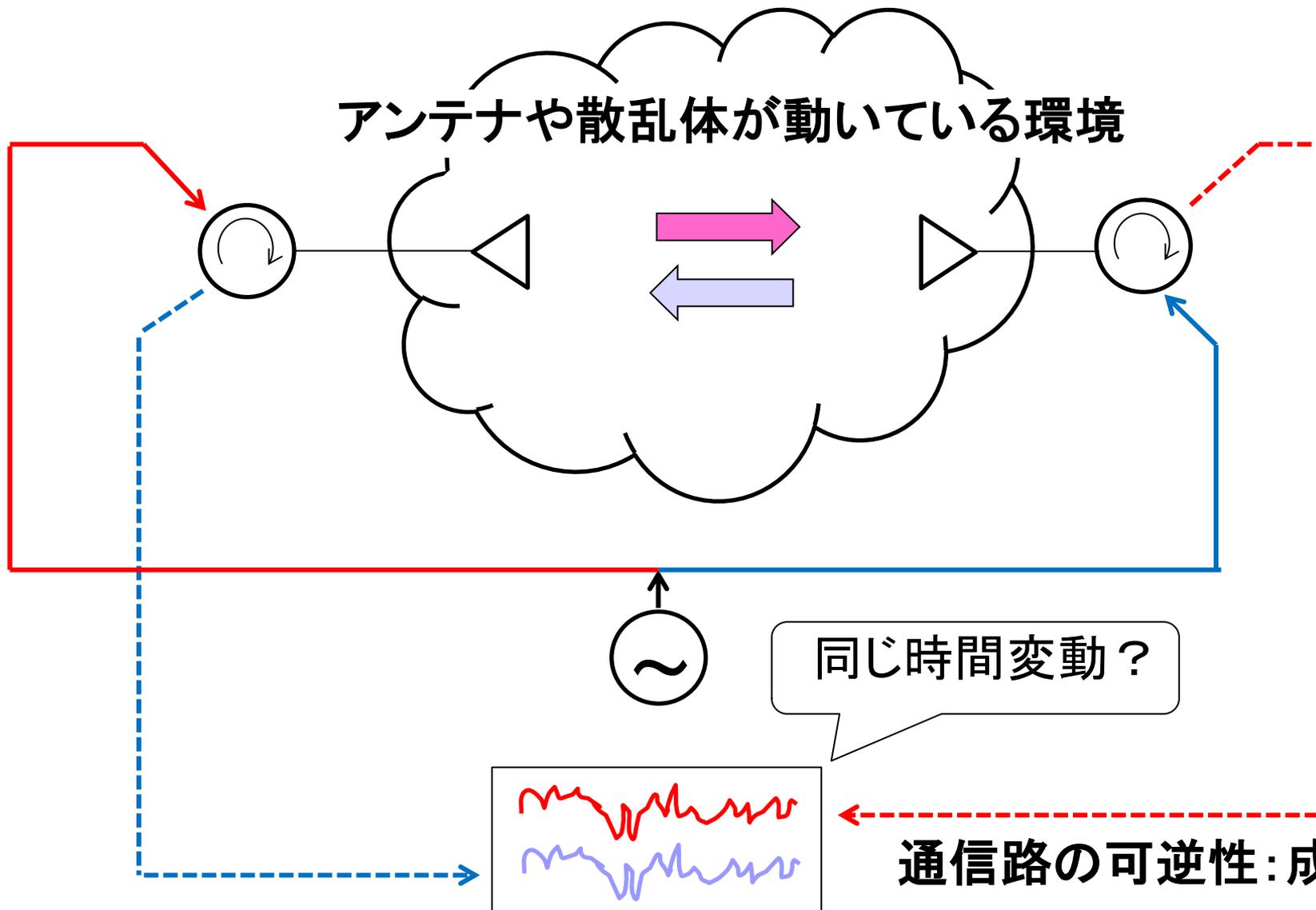
成立の近似条件は

?



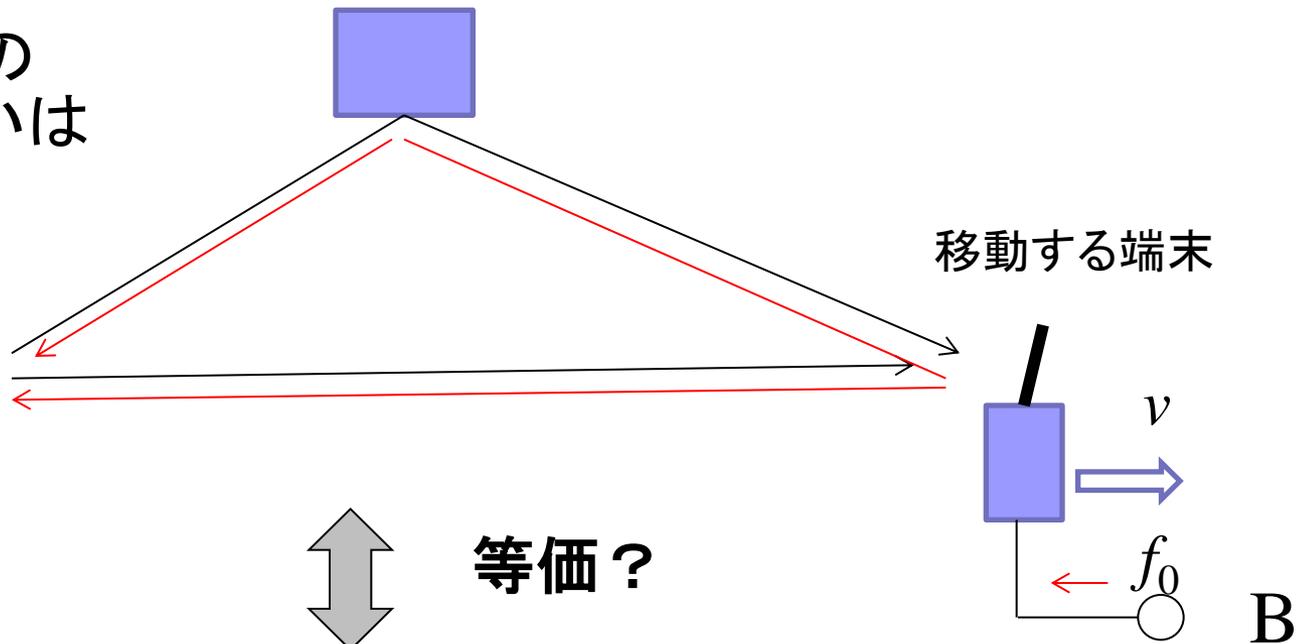
マルチパスフェージング環境

アンテナや散乱体が動いている環境

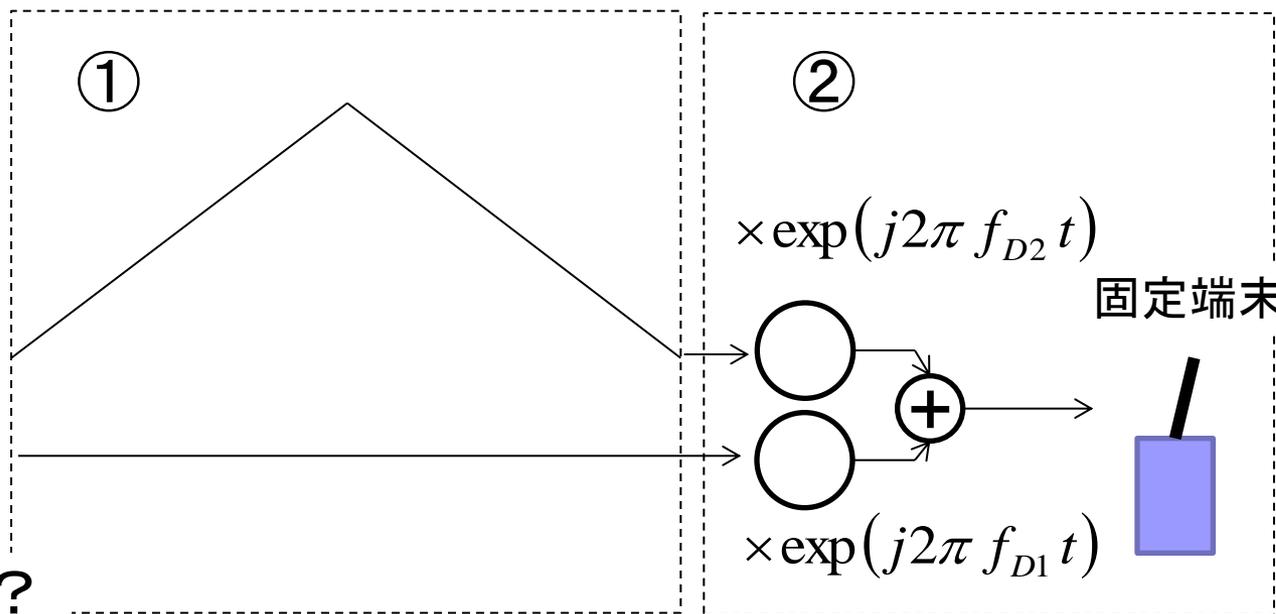




前スライドとの
本質的な違いは
有る?ない?



A→B の
等価回路?

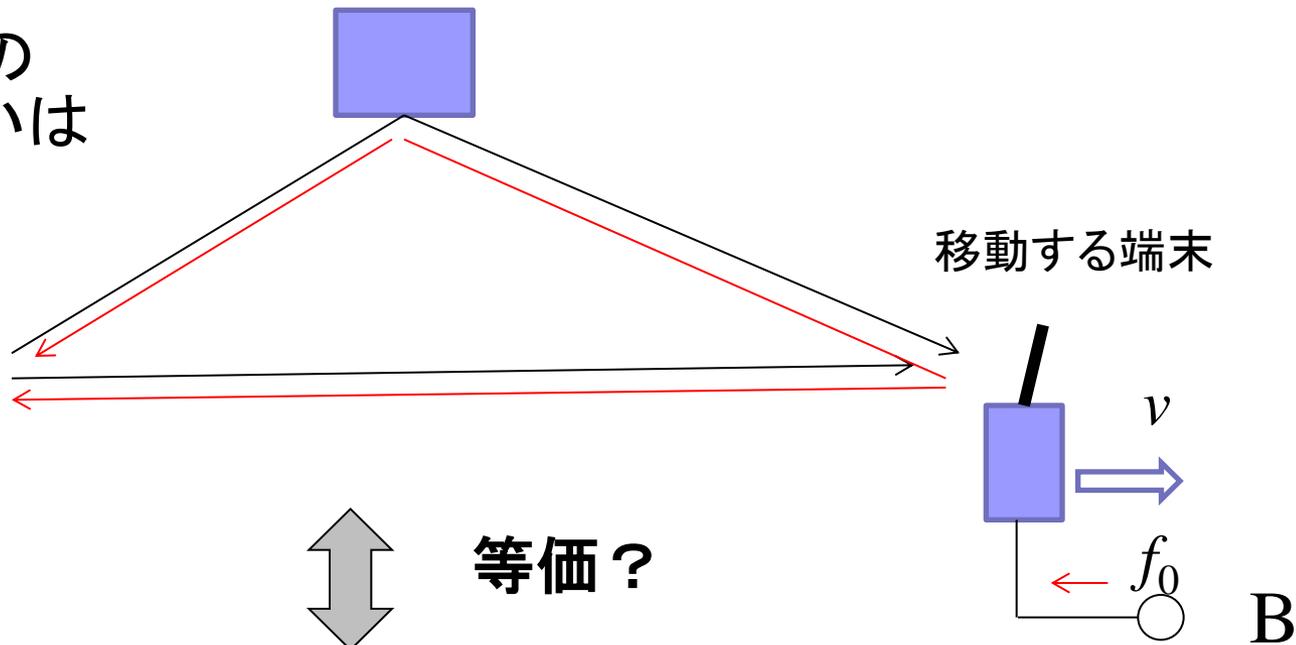


②は可逆
①は非可逆
全体として
可逆性破綻

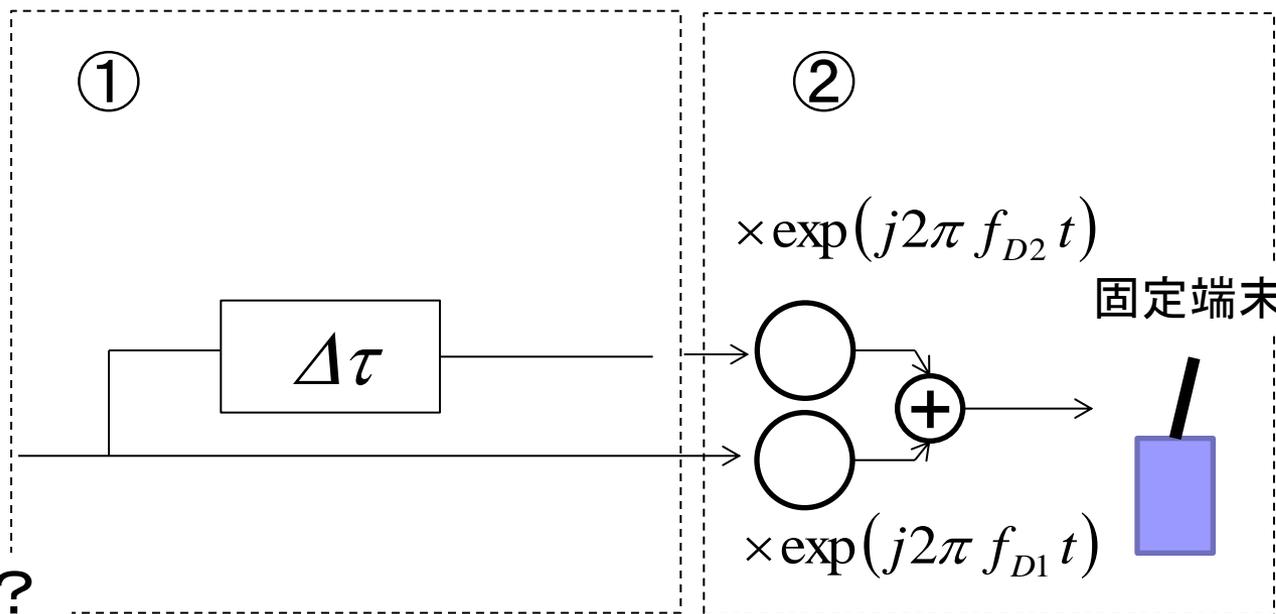
と言ってよいか?



前スライドとの
本質的な違いは
有る?ない?



A→B の
等価回路?



②は可逆
①は非可逆
全体として
可逆性破綻

と言ってよいか?



チャネル表現： 等価低域通過系での表現

A→B

$$h(\tau, t) \approx a_1 \delta(\tau - \tau_1) \exp(j2\pi f_{D1} t) + a_2 \delta(\tau - \tau_2) \exp(j2\pi f_{D2} t)$$

A←B

$$h(\tau, t) \approx a_1 \delta(\tau - \tau_1) \exp\{j2\pi f_{D1} (t - \tau_1)\} + a_2 \delta(\tau - \tau_2) \exp\{j2\pi f_{D2} (t - \tau_2)\}$$

両式が近似的に同じと見なせる条件、すなわち通信路の可逆性が満たされる条件は

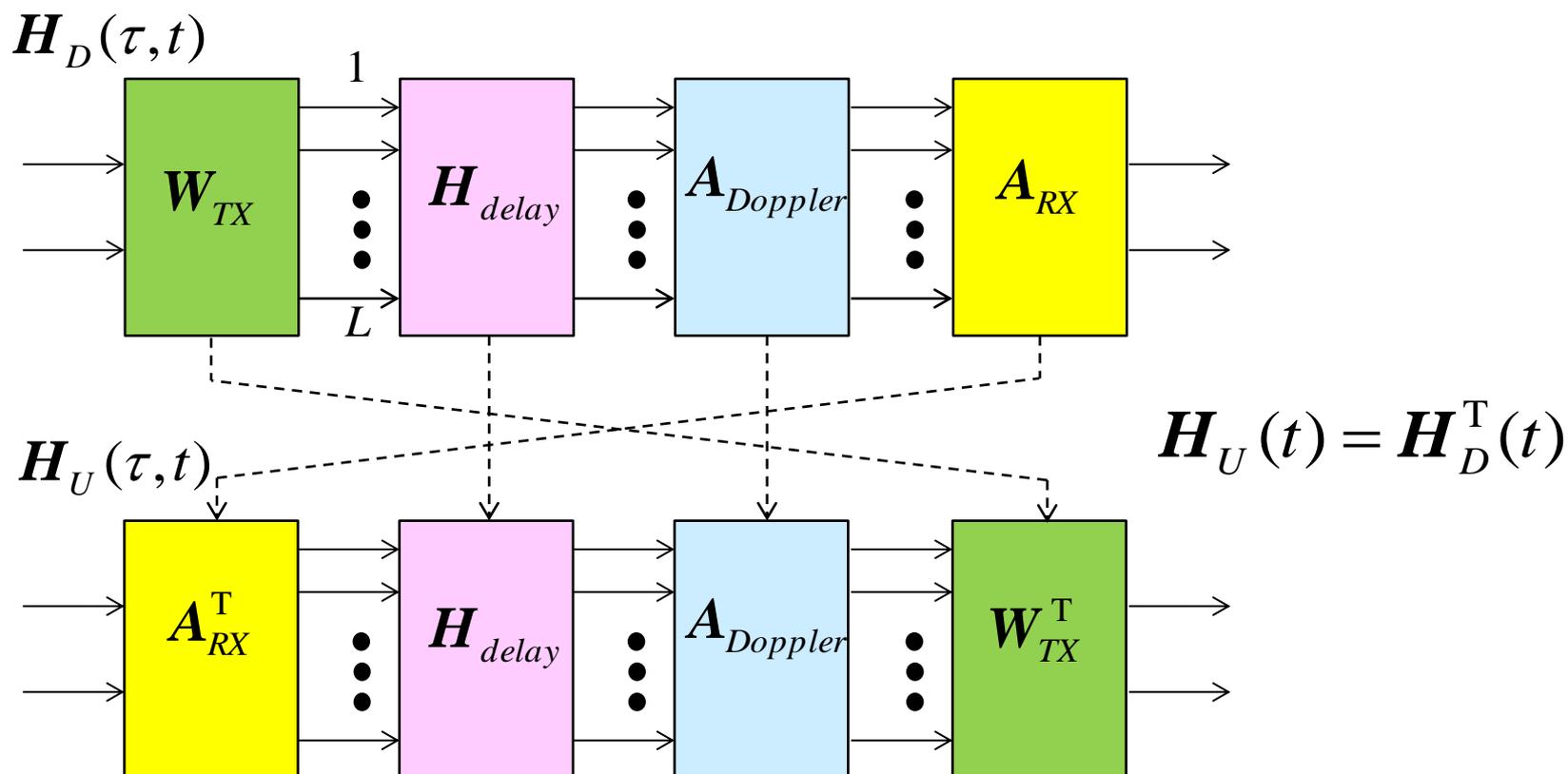
$$f_D \sigma_\tau \ll 1$$

f_D : 最大ドップラー周波数
 σ_τ : 遅延スプレッド



双方向MIMO FEの基本構成

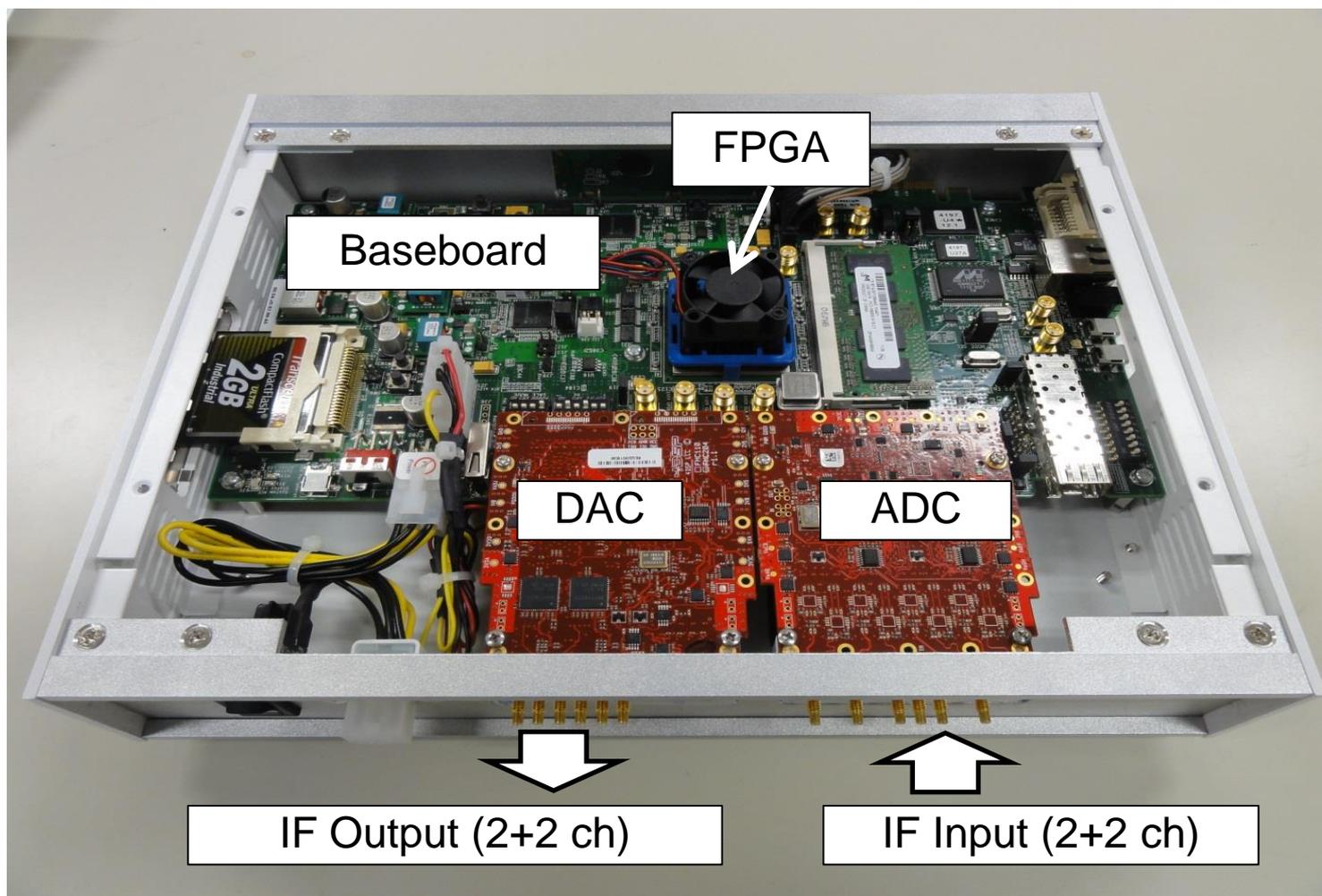
$$\mathbf{H}_D(\tau, t) = \mathbf{A}_{RX} \mathbf{A}_{Doppler}(t) \mathbf{H}_{delay}(\tau) \mathbf{W}_{TX}$$





開発した双方向MIMO FEの機能と性能

FPGA IC	XILINX Virtex 6 (LX240T)
Baseboard	XILINX ML605
Input/Output	
ADC	4DSP FMC104 (14bit)
DAC	4DSP FMC204 (16bit)
Input ports M	2+2
Output ports N	2+2
Signal processing	
Clock frequency f_s	160MHz
IF frequency	40MHz
Bandwidth	40MHz (max)
Propagation parameters	
Probe antennas L	16
Delay paths K	6
Maximum delay	20 μ s
Delay resolution	6.25ns ($f_s=160$ MHz)
Doppler frequency	0.1Hz~10kHz

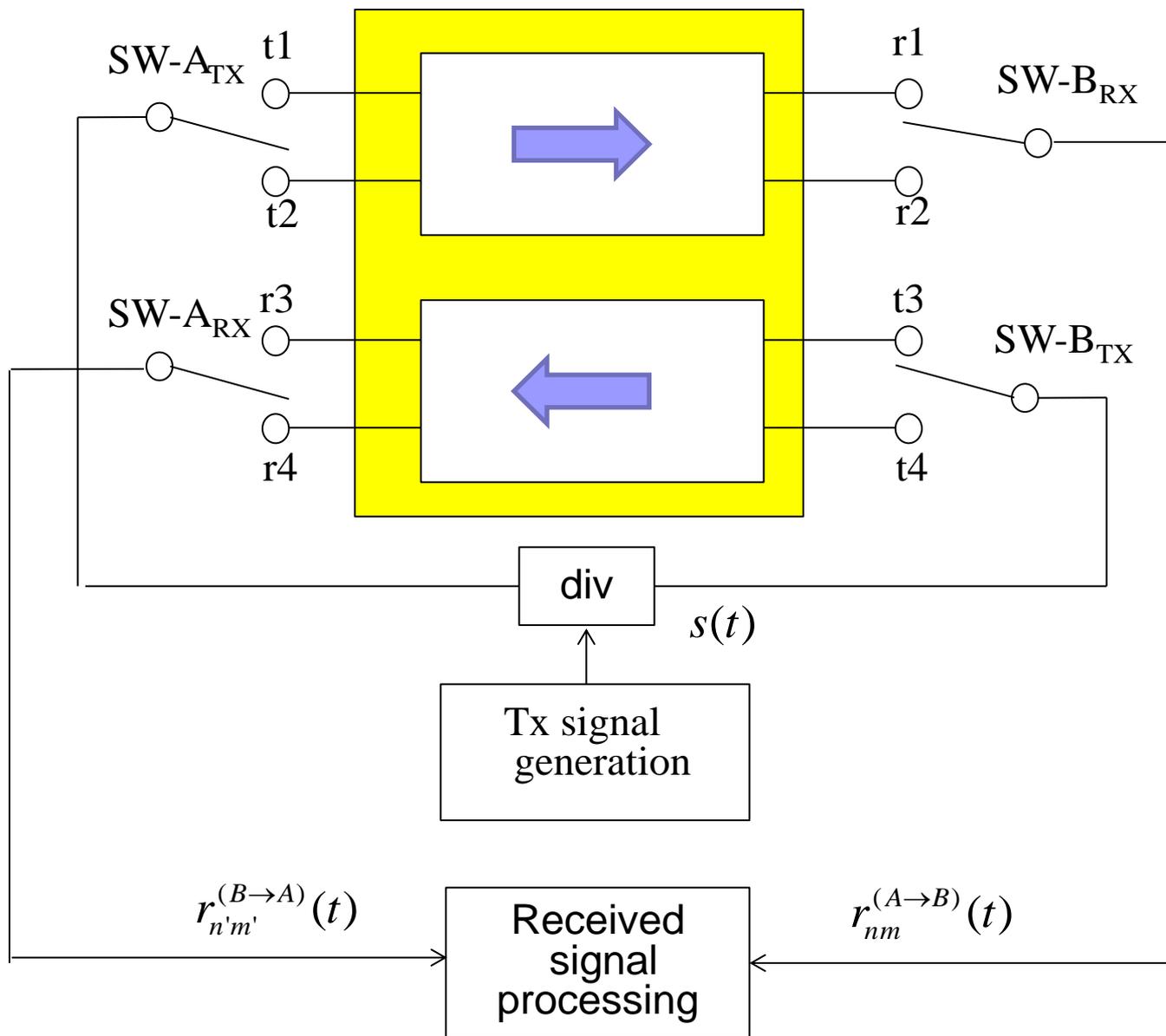


FPGAに回路実装した双方向MIMOフェージングエミュレータ
(28 cm × 22 cm × 5 cm)



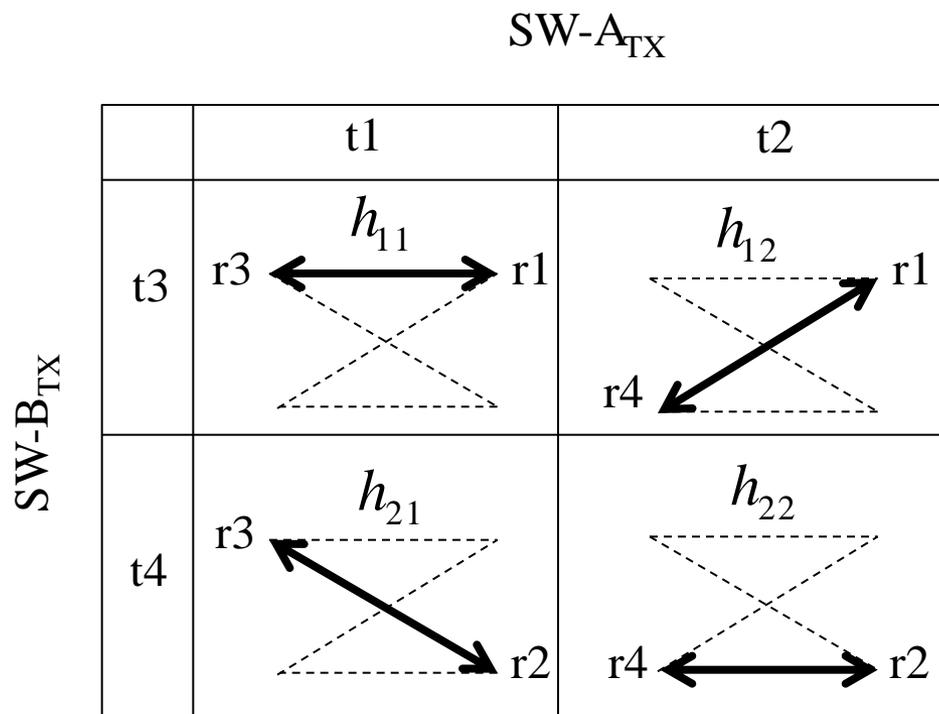
動作評価実験

FE



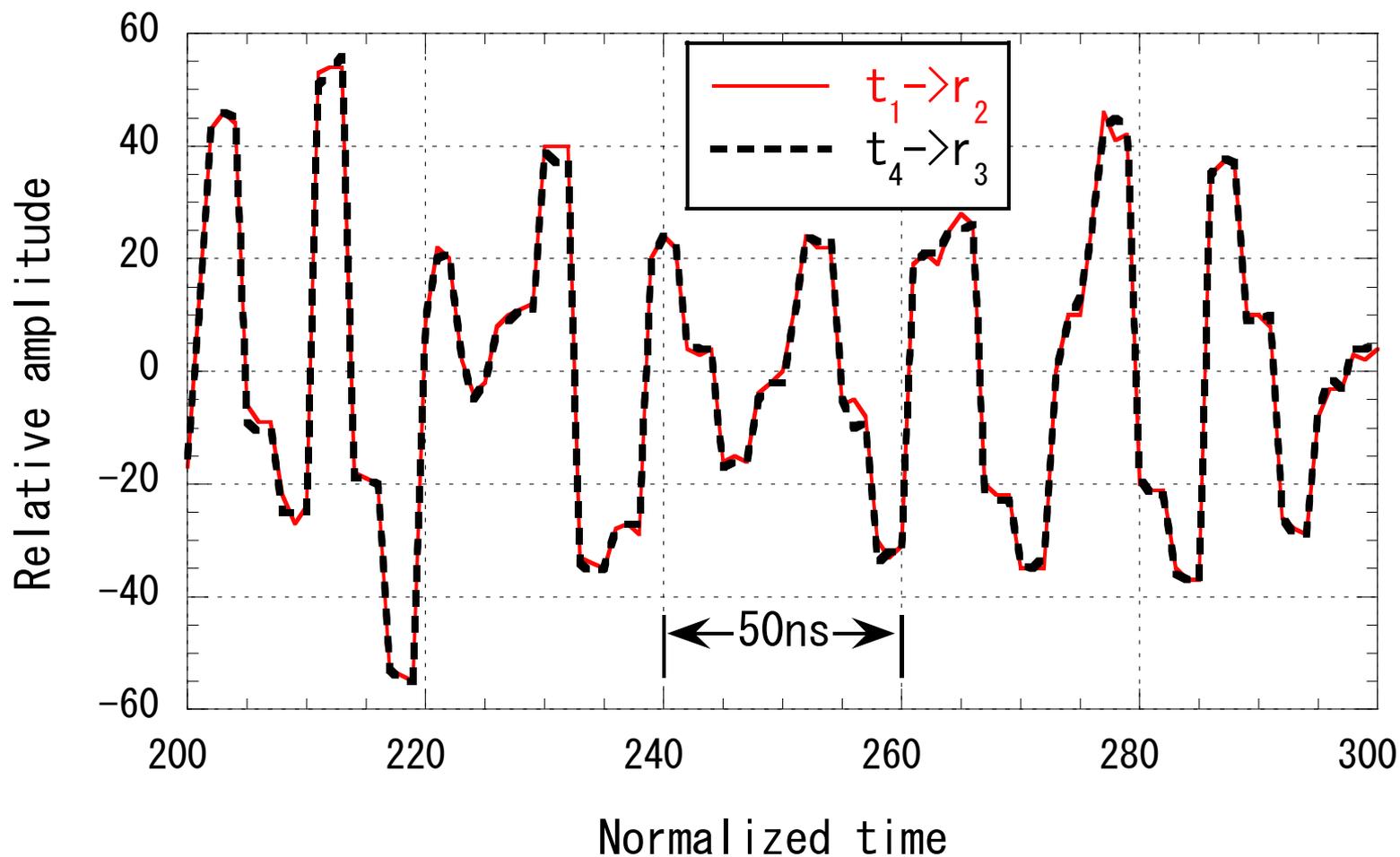
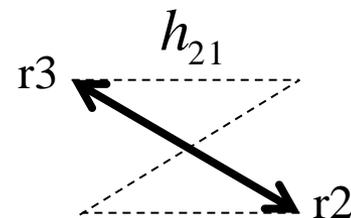


双方向対応チャンネルでの特性比較



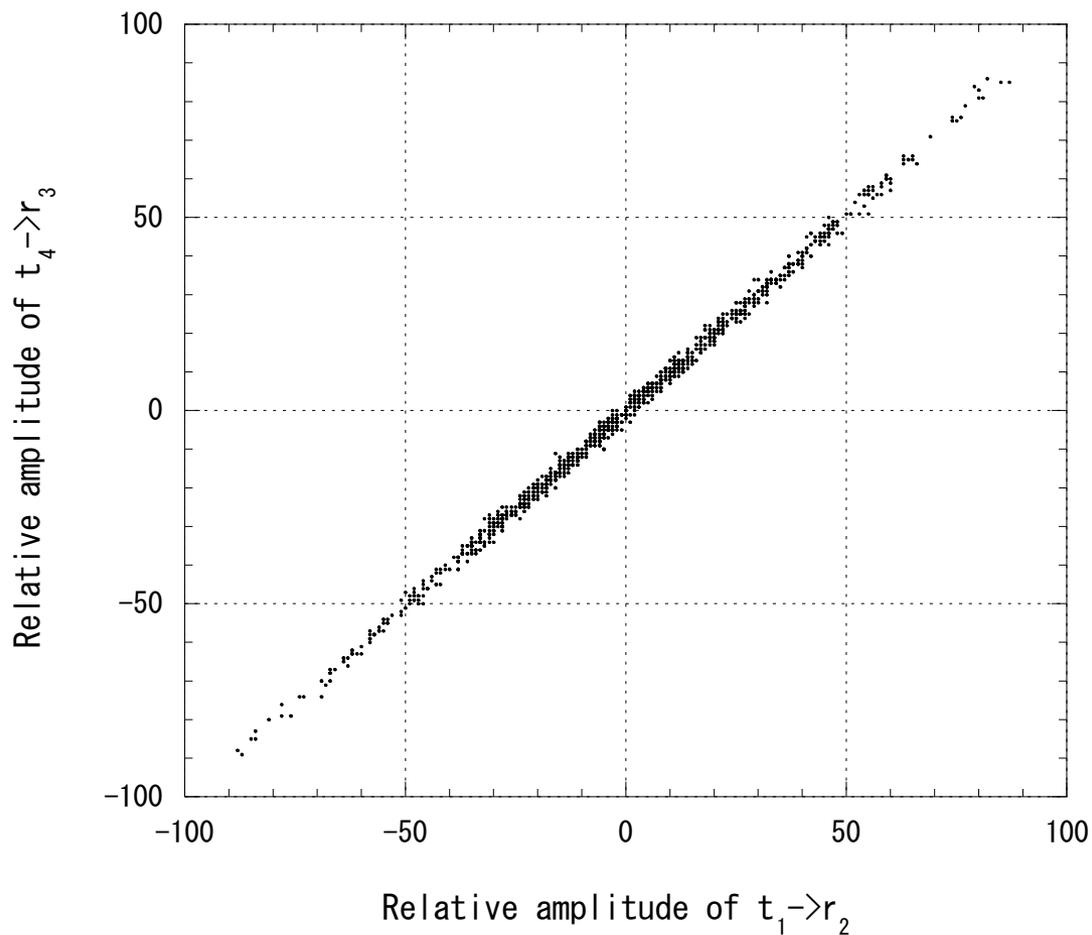
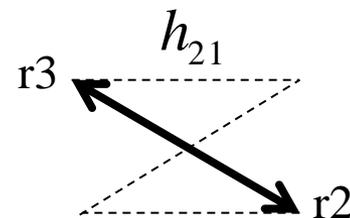


IF信号の同時刻双方向変動の比較



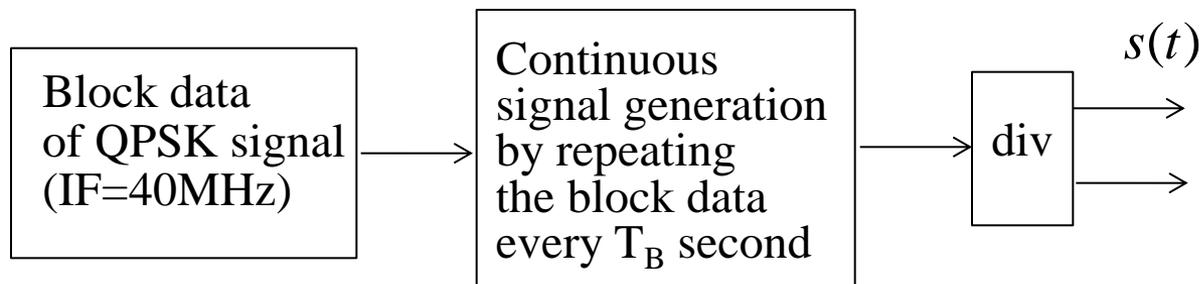


IF信号の同時刻双方向変動の比較 (スキャターグラム)

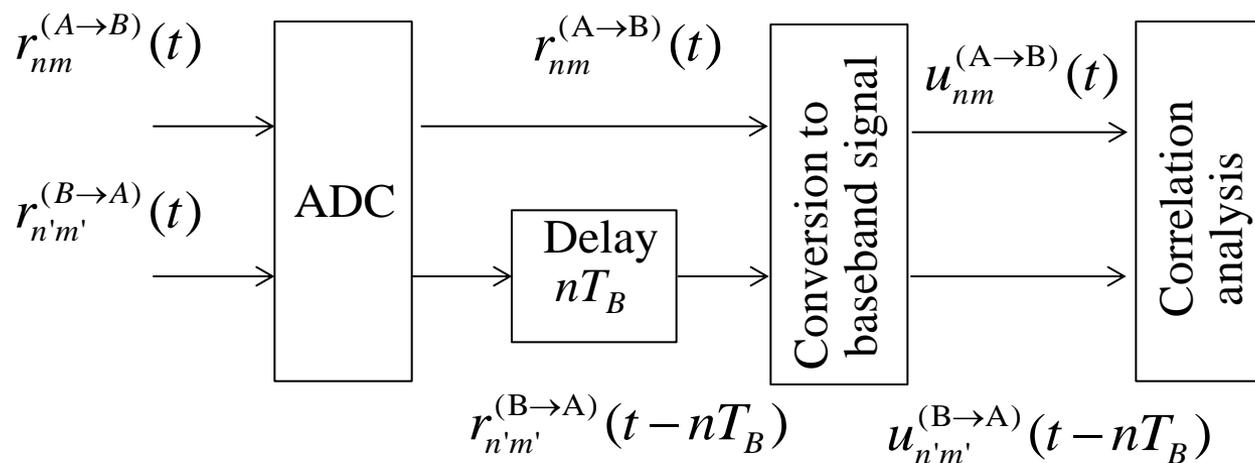




伝送情報信号のダウン・アップ両リンク間の相関特性測定実験系

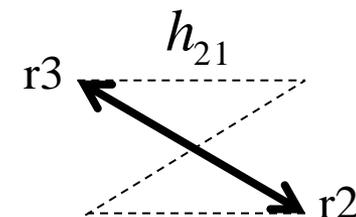
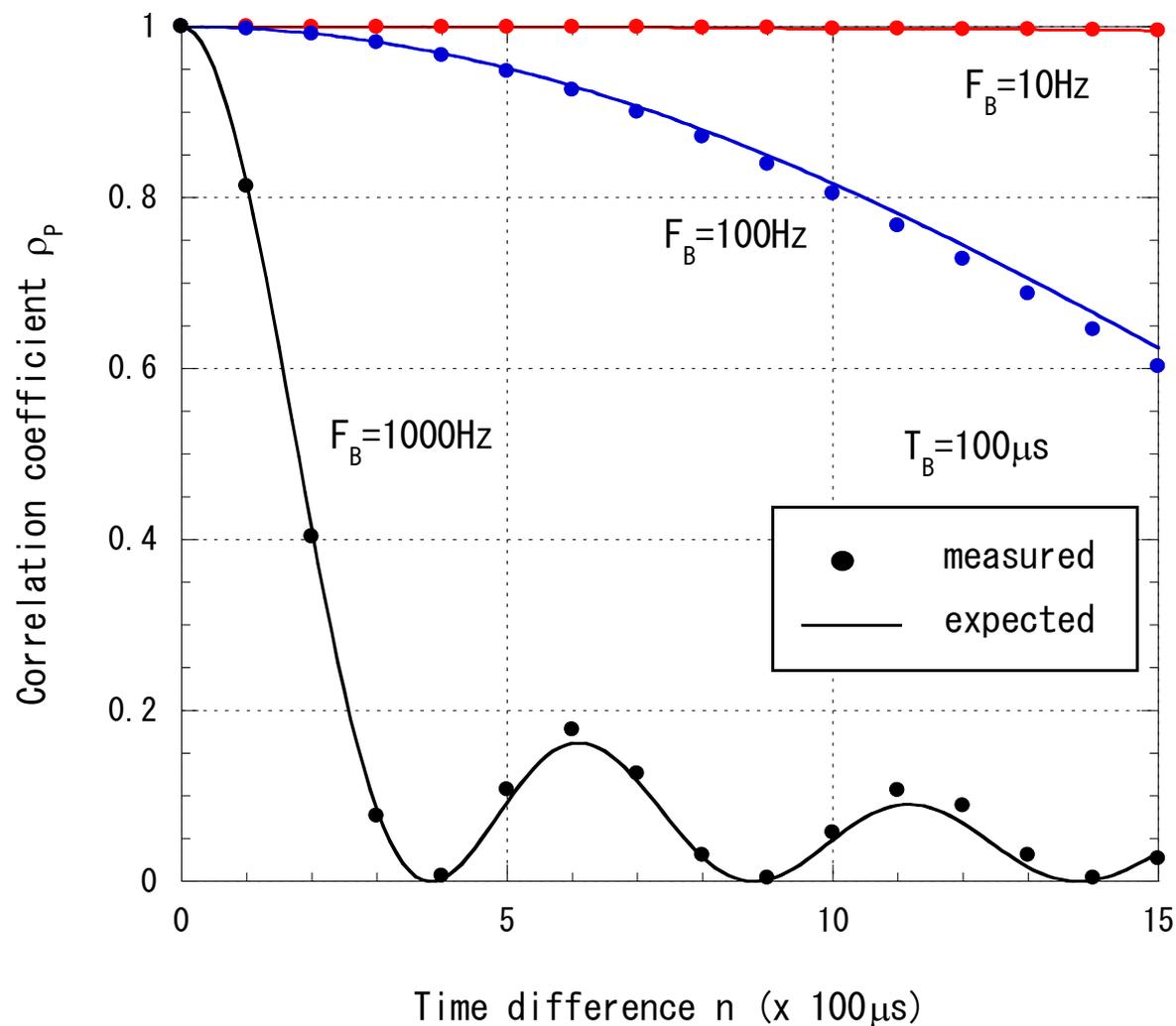


(a) Tx signal generation



(b) Received signal processing

ベースバンド信号 (QPSK) の $n \times 100\mu\text{s}$ 遅延信号の 双方向相関特性





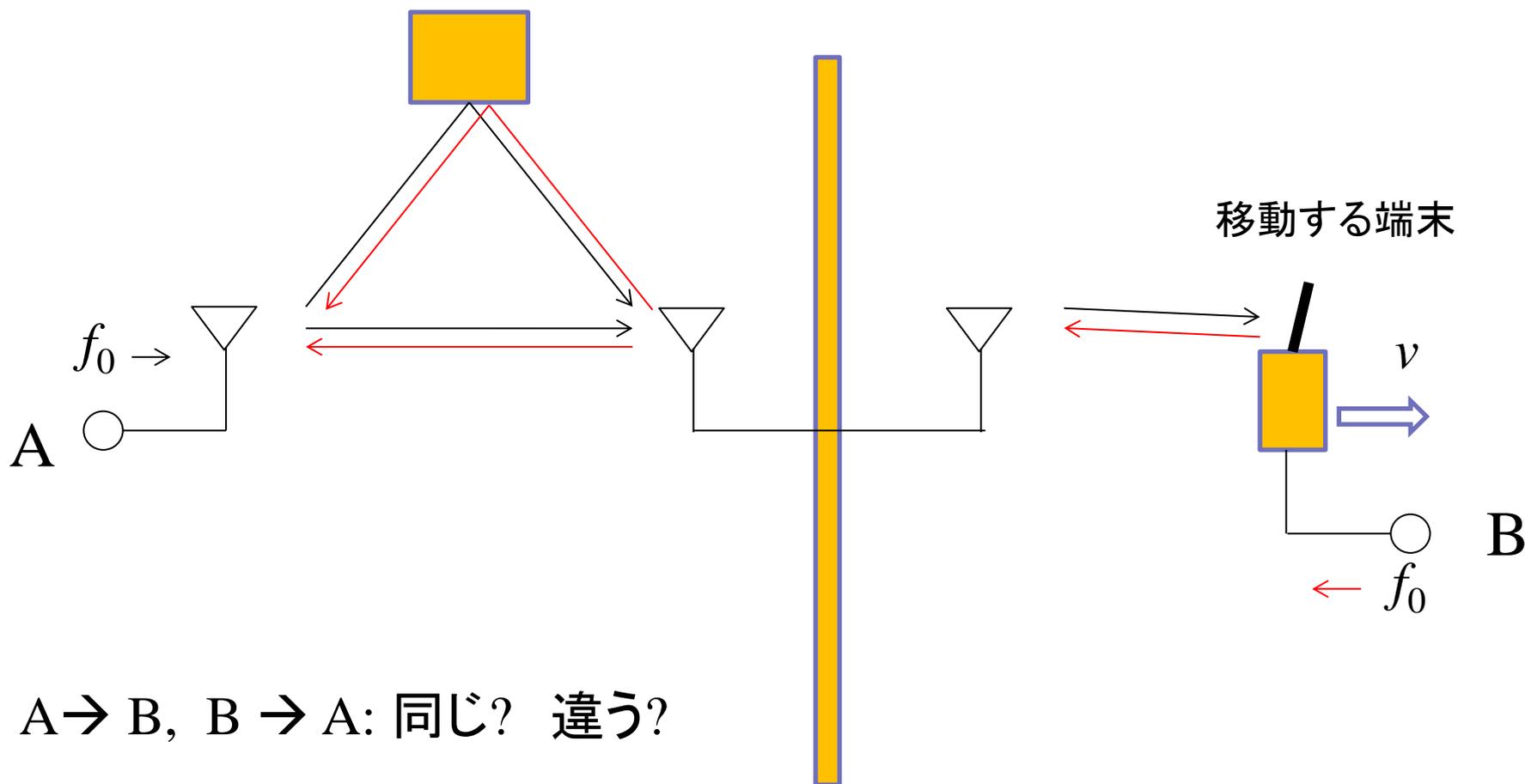
まとめ

- ・2ステージ法に基づく双方向MIMO FEの構成を提案した
- ・FPGAに回路実装して、双方向MIMO FEを実現した
- ・目的とする動作が得られていることを確認した

道具作りができたので、TDDシステムなどの評価に実際に使ってみたい



参考: この構成で、通信路の可逆性は？



$A \rightarrow B, B \rightarrow A$: 同じ? 違う?

左側部分で、遅延差が大きいとき、可逆性は明らかに破綻している